



UNIÓN INTERNACIONAL DE TELECOMUNICACIONES

**UIT-T**

SECTOR DE NORMALIZACIÓN  
DE LAS TELECOMUNICACIONES  
DE LA UIT

**O.150**

(05/96)

SERIE O: ESPECIFICACIONES DE LOS APARATOS  
DE MEDIDA

Aparatos de medida para parámetros digitales y  
analógicos/digitales

---

**Requisitos generales para la instrumentación  
de mediciones de la calidad de funcionamiento  
de equipos de transmisión digital**

Recomendación UIT-T O.150

(Anteriormente «Recomendación del CCITT»)

---

RECOMENDACIONES UIT-T DE LA SERIE O  
ESPECIFICACIONES DE LOS APARATOS DE MEDIDA

Generalidades	O.1-O.9
Acceso para el mantenimiento	O.10-O.19
Sistemas de medida automáticos y semiautomáticos	O.20-O.39
Aparatos de medida para parámetros analógicos	O.40-O.129
<b>Aparatos de medida para parámetros digitales y analógicos/digitales</b>	<b>O.130-O.199</b>

*Para más información, véase la Lista de Recomendaciones del UIT-T.*

## PREFACIO

El UIT-T (Sector de Normalización de las Telecomunicaciones) es un órgano permanente de la Unión Internacional de Telecomunicaciones (UIT). Este órgano estudia los aspectos técnicos, de explotación y tarifarios y publica Recomendaciones sobre los mismos, con miras a la normalización de las telecomunicaciones en el plano mundial.

La Conferencia Mundial de Normalización de las Telecomunicaciones (CMNT), que se celebra cada cuatro años, establece los temas que han de estudiar las Comisiones de Estudio del UIT-T, que a su vez producen Recomendaciones sobre dichos temas.

La aprobación de Recomendaciones por los Miembros del UIT-T es el objeto del procedimiento establecido en la Resolución N.º 1 de la CMNT (Helsinki, 1 al 12 de marzo de 1993).

La Recomendación UIT-T O.150 ha sido revisada por la Comisión de Estudio 4 (1993-1996) del UIT-T y fue aprobada por el procedimiento de la Resolución N.º 1 de la CMNT el 12 de mayo de 1996.

---

### NOTA

En esta Recomendación, la expresión «Administración» se utiliza para designar, en forma abreviada, tanto una administración de telecomunicaciones como una empresa de explotación reconocida de telecomunicaciones.

© UIT 1996

Es propiedad. Ninguna parte de esta publicación puede reproducirse o utilizarse, de ninguna forma o por ningún medio, sea éste electrónico o mecánico, de fotocopia o de microfilm, sin previa autorización escrita por parte de la UIT.

## ÍNDICE

		<i>Página</i>
1	Alcance.....	1
2	Referencias.....	1
3	Secuencias de prueba normalizadas .....	2
4	Propiedades de las secuencias de prueba pseudoaleatorias .....	2
	4.1 Mediciones con aleatorizadores.....	2
	4.2 Pérdida de la sincronización de secuencias .....	2
	4.3 Mediciones «en trama».....	3
	4.4 Mediciones de la fluctuación de fase.....	3
5	Secuencias de prueba digitales utilizadas en las Recomendaciones de la serie O.....	3
	5.1 Secuencia de prueba pseudoaleatoria de 511 bits.....	3
	5.2 Secuencia de prueba pseudoaleatoria de 2047 bits.....	4
	5.3 Secuencia de prueba pseudoaleatoria de 32 767 bits.....	4
	5.4 Secuencia de prueba pseudoaleatoria de 1 048 575 bits.....	4
	5.5 Secuencia de prueba pseudoaleatoria de 1 048 575 bits con supresión de ceros.....	4
	5.6 Secuencia de prueba pseudoaleatoria de 8 388 607 bits.....	5
	5.7 Secuencia de prueba pseudoaleatoria de 536 870 911 bits.....	5
	5.8 Secuencia de prueba pseudoaleatoria de 2 147 483 647 bits.....	5
6	Descripción de secuencias de prueba en trama a diferentes velocidades binarias .....	6
	6.1 Generalidades .....	6
	6.1.1 Prueba de demultiplexores digitales.....	6
	6.2 Tramas digitales que funcionan a velocidades binarias de 1544 kbit/s .....	6
	6.2.1 Multitrama o supertrama de 12 tramas.....	6
	6.2.2 Multitrama o supertrama ampliada de 24 tramas .....	7
	6.3 Tramas digitales que funcionan a velocidades binarias de 2048 kbit/s .....	7
	6.3.1 Tramas sin procedimiento CRC-4 y provisión de señalización por canal común.....	8
	6.3.2 Tramas sin procedimiento CRC-4 y provisión de señalización asociada al canal .....	8
	6.3.3 Tramas con procedimiento CRC-4 y provisión de señalización asociada al canal .....	8
	6.4 Tramas digitales que funcionan a velocidades binarias de 6312 kbit/s .....	8
	6.5 Tramas digitales que funcionan a velocidades binarias de 8448 kbit/s .....	9
	6.6 Tramas digitales que funcionan a velocidades binarias de 32 064 kbit/s .....	10
	6.7 Tramas digitales que funcionan a velocidades binarias de 34 368 kbit/s .....	10
	6.8 Tramas digitales que funcionan a velocidades binarias de 44 736 kbit/s .....	11
	6.9 Tramas digitales que funcionan a velocidades binarias de 97 728 kbit/s .....	12
	6.10 Tramas digitales que funcionan a velocidades binarias de 139 264 kbit/s .....	13
	6.10.1 Tramas digitales que funcionan a 139 264 kbit/s y multiplexan señales a 34 368 kbit/s..	13
	6.10.2 Tramas digitales que funcionan a 139 264 kbit/s y multiplexan señales a 44 736 kbit/s..	13
	6.11 Tramas digitales que funcionan a velocidades binarias STM-N.....	14
7	Mediciones de la característica de error en los bloques .....	14
	7.1 Medición de errores en los bloques .....	14
	7.2 Tamaños de bloque.....	14
	7.2.1 Tamaños de bloque para mediciones fuera de servicio de la calidad de funcionamiento en sistemas de la jerarquía digital plesiócrona.....	15
	7.2.2 Tamaños de bloque para mediciones fuera de servicio de la calidad de funcionamiento en sistemas de la jerarquía digital síncrona.....	15
	7.2.3 Tamaños de bloque para mediciones de la calidad de funcionamiento en sistemas basados en células.....	16
8	Detección y supresión de defectos de la señal de indicación de alarma (AIS) y de la pérdida de señal (LOS) .....	16

## **RESUMEN**

La presente Recomendación contiene los requisitos generales aplicables a las Recomendaciones de la serie O para la instrumentación de mediciones de la calidad de funcionamiento de equipos de transmisión digital.

## **PALABRAS CLAVE**

Detección y supresión de la señal de indicación de alarma (AIS), detección y supresión de pérdida de señal (LOS), medición basada en bloques, mediciones de la calidad de funcionamiento, probador, secuencias de prueba digitales, secuencias de prueba pseudoaleatorias, tamaños de bloque.



# REQUISITOS GENERALES PARA LA INSTRUMENTACIÓN DE MEDICIONES DE LA CALIDAD DE FUNCIONAMIENTO DE EQUIPOS DE TRANSMISIÓN DIGITAL

(revisada en 1996)

## 1 Alcance

La presente Recomendación contiene los requisitos generales aplicables a la instrumentación de mediciones de la calidad de funcionamiento de equipos de transmisión digital. Estos equipos se especifican en las Recomendaciones de la serie O. La finalidad de la presente Recomendación es dar orientación general en relación con Recomendaciones específicas de la serie O y ayudar a determinar las condiciones de medición correctas para las diferentes aplicaciones.

La Recomendación define estos ítems como secuencias de prueba (pseudoaleatorias) digitales, tamaños de bloque para mediciones de la característica de error y los criterios para la detección y supresión de la pérdida de trama y de la señal de indicación de alarma.

## 2 Referencias

Las Recomendaciones y demás referencias siguientes contienen disposiciones que, mediante su referencia en este texto, constituyen disposiciones de la presente Recomendación. Al efectuar esta publicación, estaban en vigor las ediciones indicadas. Todas las Recomendaciones y demás referencias son objeto de revisiones, por lo que se preconiza que todos los usuarios de la presente Recomendación investiguen la posibilidad de aplicar las ediciones más recientes de las Recomendación y demás referencias citadas a continuación. Se publica regularmente una lista de las Recomendaciones UIT-T actualmente vigentes.

- [1] Recomendación UIT-T G.823 (1993), *Control de la fluctuación de fase y de la fluctuación lenta de fase en las redes digitales basadas en la jerarquía de 2048 kbit/s.*
- [2] Recomendación O.153 del CCITT (1992), *Parámetros básicos para la medición de la característica de error a velocidades inferiores a la primaria.*
- [3] Recomendación O.152 del CCITT (1992), *Aparato de medida de la característica de error para velocidades binarias de 64 kbit/s y  $N \times 64$  kbit/s.*
- [4] Recomendación O.151 del CCITT (1992), *Aparato de medida de la característica de error a velocidad primaria y a velocidades superiores.*
- [5] Recomendación UIT-T G.826 (1993). *Parámetros y objetivos de característica de error en trayectos digitales internacionales de velocidad binaria constante a la velocidad primaria o a velocidad superior.*
- [6] Recomendación G.704 del CCITT (1985), *Estructuras de trama síncrona utilizadas en los niveles jerárquicos 1544, 6312, 2048, 8448 y 44 736 kbit/s.*
- [7] Recomendación G.752 del CCITT (1988), *Características de los equipos multiplex digitales basados en la velocidad binaria de segundo orden de 6312 kbit/s, con justificación positiva.*
- [8] Recomendación G.751 del CCITT (1988), *Equipos multiplex digitales que funcionan a la velocidad binaria de tercer orden de 34 368 kbit/s y a la velocidad binaria de cuarto orden de 139 264 kbit/s y utilizan justificación positiva.*
- [9] Recomendación G.703 del CCITT (1991), *Características físicas y eléctricas de interfaces digitales jerárquicas.*
- [10] Recomendación UIT-T G.775 (1994), *Criterios de detección y liberación de defectos de pérdida de señal y de señal de indicación de alarma.*
- [11] American National Standard for telecommunications ANSI T1.107-1988, *Digital hierarchy formats specifications.*
- [12] Recomendación G.743 del CCITT (1988), *Equipo multiplex digital de segundo orden que funciona a 6312 kbit/s y utiliza justificación positiva.*

- [13] Recomendación G.742 del CCITT (1988), *Equipo múltiple digital de segundo orden que funciona a 8448 kbit/s y utiliza justificación positiva.*
- [14] Recomendación G.755 del CCITT (1988), *Equipo múltiple digital que funciona a 139 264 kbit/s y multiplexa tres afluentes a 44 736 kbit/s.*

### 3 Secuencias de prueba normalizadas

Las mediciones de los errores en los bits son un medio importante de evaluar la calidad de funcionamiento del equipo de transmisión digital. Las mediciones de errores en los bits denominadas «verdaderas» durante las cuales se puede detectar cada error, sólo se pueden realizar si se conoce exactamente la secuencia de bits del patrón utilizado. Debido a su naturaleza aleatoria, esta condición no se cumple normalmente en el tráfico real.

Por consiguiente, es necesario especificar secuencias de prueba reproducibles que simulen el tráfico real lo más fielmente posible. Las secuencias de prueba reproducibles son también un requisito previo para realizar mediciones de extremo a extremo.

Las secuencias pseudoaleatorias con una longitud de  $2^n - 1$  bits constituyen las respuestas más comunes a este problema. Además de cadenas de  $n$  CEROS consecutivos (la llamada señal invertida) y  $n - 1$  UNOS consecutivos, dicha secuencia contiene cualquier combinación posible de CEROS y UNOS con una longitud de cadena que depende de  $n$ . (Para el valor de  $n$ , véanse las cláusulas 4 y 5.)

En esta Recomendación se especifican secuencias pseudoaleatorias de longitud diferente.

### 4 Propiedades de las secuencias de prueba pseudoaleatorias

Las propiedades de una secuencia de prueba deben satisfacer los requisitos del sistema que se prueba. En general, la longitud de una secuencia pseudoaleatoria aumentará con la velocidad binaria a la que se realizan las mediciones. Esto evita que la frecuencia de repetición de la secuencia sea demasiado alta, lo cual no estaría de acuerdo con la situación que se da en la práctica.

Las secuencias pseudoaleatorias pueden ser reproducidas por medio de registros de desplazamiento con realimentación apropiada. Si el registro de desplazamiento tiene  $n$  etapas, la longitud máxima de la secuencia será  $2^n - 1$  bits.

Si la señal digital se toma directamente de la salida del registro de desplazamiento (señal no invertida), la cadena más larga de CEROS consecutivos será igual a  $n - 1$ . Si la señal está invertida, se producirán  $n$  CEROS consecutivos.

Es posible generar secuencias pseudoaleatorias con estas propiedades por medios distintos de los registros de desplazamiento.

#### 4.1 Mediciones con aleatorizadores

La unidad que se prueba puede contener aleatorizadores. Esto puede dar resultados inesperados de las mediciones si el valor  $n$  descrito en la cláusula 4 tiene múltiplos enteros comunes con el número de etapas del aleatorizador. Para reducir la probabilidad de la aparición de este problema, el valor de  $n$  para secuencias de prueba especificadas más recientemente es un número primo.

#### 4.2 Pérdida de la sincronización de secuencias

Las mediciones de errores en los bits mediante secuencias pseudoaleatorias sólo pueden realizarse si la secuencia de referencia producida en el lado recepción del montaje de prueba está sincronizada correctamente con la secuencia entrante procedente del objeto que se prueba. Para lograr resultados de mediciones compatibles, es necesario que se especifiquen las características de la sincronización de secuencias.

El siguiente requisito es aplicable a todas las Recomendaciones de la serie O que tratan de mediciones de la característica de error mediante secuencias pseudoaleatorias.

Se considerará perdida la sincronización de secuencia y se comenzará la resincronización si:

- a) la tasa de errores en los bits es  $\geq 0,20$  durante un intervalo de integración de un segundo; o
- b) se puede identificar inequívocamente que la secuencia de prueba y la secuencia de referencia están desfasadas.

NOTA – Un método para reconocer la condición de desfase es la evaluación del patrón de errores resultante de la comparación bit por bit. Si el patrón de errores tiene la misma estructura que la secuencia de prueba pseudoaleatoria, existe la condición de desfase.



### 4.3 Mediciones «en trama»

Ciertas mediciones requieren que la secuencia de prueba se transmita como una «cabida útil» dentro de una trama válida.

En este caso, la transmisión de la secuencia de prueba se detendrá cuando se transmite la señal de alineación de prueba.

En la cláusula 6 de la presente Recomendación figura información más detallada.

### 4.4 Mediciones de la fluctuación de fase

Las secuencias de prueba digitales se utilizan no solamente en la medición de errores sino también para medir la función de transferencia de fluctuación de fase o la fluctuación de fase admisible a la entrada. En este caso se debe atender especialmente a la longitud de la secuencia de prueba utilizada en la medición. Si la secuencia es demasiado corta (alta frecuencia de repetición de la secuencia), la distribución espectral de la señal de prueba puede diferir sustancialmente de las propiedades del tráfico real. En este caso, los resultados de las mediciones no reflejarán la situación práctica. A este respecto, véase el Anexo A/G.823 [1].

## 5 Secuencias de prueba digitales utilizadas en las Recomendaciones de la serie O

En esta cláusula se describen las secuencias de pruebas digitales utilizadas en las Recomendaciones de la serie O y sus principales aplicaciones. En el Cuadro 1 figura un resumen.

CUADRO 1/O.150

**Secuencias de prueba digitales utilizadas en las Recomendaciones de la serie O**

Longitud de la secuencia (bits)	Ceros consecutivos	Utilizada en la Rec.	Utilización de la secuencia
$2^{09} - 1$	8	O.153	Mediciones de la tasa de error en circuitos de datos a velocidades binarias de hasta 14 400 bit/s
$2^{11} - 1$	10	O.152	Mediciones de la tasa de error y de la fluctuación de fase a velocidades binarias de 64 kbit/s y de $N \times 64$ kbit/s
$2^{15} - 1$	15	O.151	Mediciones de la tasa de error y de la fluctuación de fase a velocidades binarias de 1544, 2048, 6312, 8448, 32 064 y 44 736 kbit/s
$2^{20} - 1$	19	O.153	Mediciones de la tasa de error en circuitos de datos a velocidades binarias de hasta 72 kbit/s
$2^{20} - 1$	14	O.151	Mediciones de la tasa de error y de la fluctuación de fase a velocidades binarias de 1544, 6312, 32 064 y 44 736 kbit/s
$2^{23} - 1$	23	O.151	Mediciones de la tasa de error y de la fluctuación de fase a velocidades binarias de 34 368 y 139 264 kbit/s
$2^{29} - 1$	29	–	Tareas de mediciones específicas
$2^{31} - 1$	31	–	Tareas de mediciones específicas

### 5.1 Secuencia de prueba pseudoaleatoria de 511 bits

Esta secuencia se ha concebido principalmente para mediciones de errores en circuitos de datos que funcionan a velocidades binarias de hasta 14 400 bit/s (véase la Recomendación O.153 [2]).

Esta secuencia se puede generar en un registro de desplazamiento de nueve etapas, y las salidas de las etapas 5ª y 9ª se suman en una etapa de suma de módulo 2 y el resultado se realimenta a la entrada de la primera etapa. La secuencia comienza con el primer UNO de 9 UNOS consecutivos.

- Número de etapas del registro de emplazamiento 9
- Longitud de la secuencia pseudoaleatoria  $2^9 - 1 = 511$  bits
- Secuencia más larga de ceros 8 (señal no invertida)

## 5.2 Secuencia de prueba pseudoaleatoria de 2047 bits

Esta secuencia ha sido concebida principalmente para mediciones de errores y de fluctuación de fase en circuitos que funcionan a velocidades binarias de 64 kbit/s y  $N \times 64$  kbit/s (véanse las Recomendaciones O.152 [3] y O.153 [2]).

Esta secuencia se puede generar en un registro de desplazamiento de 11 etapas y las salidas de las etapas 9ª y 11ª se suman en una etapa de suma de módulo 2 y el resultado se realimenta a la entrada de la primera etapa.

- Número de etapas del registro de emplazamiento 11
- Longitud de la secuencia pseudoaleatoria  $2^{11} - 1 = 2047$  bits
- Secuencia más larga de ceros 10 (señal no invertida)

### NOTAS

1 Cuando se realizan mediciones a una velocidad binaria de  $N \times 64$  kbit/s, se transmitirán bloques de 8 bits consecutivos de la secuencia de prueba en intervalos de tiempo consecutivos. El comienzo de la secuencia de prueba pseudoaleatoria no tiene que estar relacionada con la velocidad de repetición de trama.

2 Requiere ulterior estudio si N puede ser cualquier número entre 1 y 31.

## 5.3 Secuencia de prueba pseudoaleatoria de 32 767 bits

Esta secuencia ha sido concebida principalmente para mediciones de errores y de fluctuación de fase en circuitos que funcionan a velocidades binarias de 1544, 2048, 6312, 8448, 32 064 y 44 736 kbit/s (véase la Recomendación O.151 [4]).

Esta secuencia se puede generar en un registro de desplazamiento de 15 etapas y las salidas de las etapas 14ª y 15ª se suman en una etapa de suma de módulo 2 y el resultado se realimenta a la entrada de la primera etapa.

- Número de etapas del registro de emplazamiento 15
- Longitud de la secuencia pseudoaleatoria  $2^{15} - 1 = 32\,767$  bits
- Secuencia más larga de ceros 15 (señal invertida)

## 5.4 Secuencia de prueba pseudoaleatoria de 1 048 575 bits

Esta secuencia ha sido concebida principalmente para mediciones de errores y de fluctuación de fase en circuitos que funcionan a velocidades binarias de hasta 72 kbit/s (véase la Recomendación O.153 [2]).

Esta secuencia se puede generar en un registro de desplazamiento de 20 etapas y las salidas de las etapas 3ª y 20ª se suman en una etapa de suma de módulo 2 y el resultado se realimenta a la entrada de la primera etapa.

- Número de etapas del registro de emplazamiento 20
- Longitud de la secuencia pseudoaleatoria  $2^{20} - 1 = 1\,048\,575$  bits
- Secuencia más larga de ceros 19 (señal no invertida)

NOTA – Las dos secuencias de prueba de longitud  $2^{20} - 1$  bits descrita en 5.4 y 5.5 no son idénticas porque se emplea realimentación diferente si la secuencia es producida por medio de un registro de desplazamiento. La secuencia especificada en 5.5 suprime secuencias consecutivas de más de 14 ceros.

## 5.5 Secuencia de prueba pseudoaleatoria de 1 048 575 bits con supresión de ceros

Esta secuencia se ha concebido principalmente para mediciones de errores y de fluctuación de fase a velocidades binarias de 1544, 6312, 32 064 y 44 736 kbit/s (véase la Recomendación O.151 [4]).

La secuencia se puede generar en un registro de desplazamiento de 20 etapas y las salidas de las etapas 17ª y 20ª se suman en una etapa de suma de módulo 2 y el resultado se realimenta a la entrada de la primera etapa. Un bit de salida tiene que ser un UNO cuando los 14 bits siguientes son todos CEROS.

- Número de etapas del registro de desplazamiento 20
- Longitud de la secuencia pseudoaleatoria  $2^{20} - 1 = 1\,048\,575$  bits
- Secuencia más larga de ceros 14 (véase la Nota)

Esta secuencia pseudoaleatoria satisface lo siguiente:

$$Q_{n+1}(k+1) = Q_n(k), n = 1, 2, \dots, 19,$$

$$Q_1(k+1) = Q_{17}(k) \oplus Q_{20}(k), \text{ y}$$

$$RD(k) = Q_{20}(k) + \overline{Q_6(k)} + \dots + Q_6(k)$$

donde:

$Q_n(k)$	Estado actual de la n-ésima etapa
$Q_n(k+1)$	Estado siguiente de la n-ésima etapa
$RD(k)$	Valor actual de la salida
+	Una operación O lógica
$\oplus$	Una operación O EXCLUSIVA lógica
$(\overline{\quad})$	Una operación NEGACIÓN lógica

NOTA – Las dos secuencias de prueba de  $2^{20} - 1$  bits descritas en 5.4 y 5.5 no son idénticas porque se emplea realimentación diferente si la secuencia es producida por medio de un registro de desplazamiento. La secuencia especificada en esta subcláusula suprime las secuencias consecutivas de más de 14 ceros.

## 5.6 Secuencia de prueba pseudoaleatoria de 8 388 607 bits

Esta secuencia se ha concebido principalmente para mediciones de errores y de fluctuación de fase a velocidades binarias de 34 368, 44 736 y 139 264 kbit/s (véase la Recomendación O.151 [4]).

La secuencia se puede generar en un registro de desplazamiento de 23 etapas y las salidas de las etapas 18<sup>a</sup> y 23<sup>a</sup> se suman en una etapa de suma de módulo 2 y el resultado es realimentado a la entrada de la primera etapa.

- Número de etapas del registro de desplazamiento 23
- Longitud de la secuencia pseudoaleatoria  $2^{23} - 1 = 8\,388\,607$  bits
- Secuencia más larga de ceros 23 (señal invertida)

## 5.7 Secuencia de prueba pseudoaleatoria de 536 870 911 bits

Esta secuencia se puede utilizar para tareas de mediciones especiales, por ejemplo, mediciones del retardo a velocidades binarias más altas. Si las mediciones de la característica de error requieren secuencias más largas, en los estudios futuros se tendrá en cuenta esta secuencia.

Esta secuencia se puede generar en un registro de desplazamiento de 29 etapas, y las salidas de las etapas 27<sup>a</sup> y 29<sup>a</sup> se suman en una etapa de suma de módulo 2, y el resultado es realimentado a la entrada de la primera etapa.

- Número de etapas del registro de desplazamiento 29
- Longitud de la secuencia pseudoaleatoria  $2^{29} - 1 = 536\,870\,911$  bits
- Secuencia más larga de ceros 29 (señal invertida)

## 5.8 Secuencia de prueba pseudoaleatoria de 2 147 483 647 bits

Esta secuencia se puede utilizar para tareas de mediciones especiales, por ejemplo, mediciones del retardo a velocidades binarias más altas. Si las mediciones de la característica de error requieren secuencias más largas, en los estudios futuros se tendrá en cuenta esta secuencia.

Esta secuencia se puede generar en un registro de desplazamiento de 29 etapas, y las salidas de las etapas 28<sup>a</sup> y 31<sup>a</sup> se suman en una etapa de suma de módulo 2, y el resultado es realimentado a la entrada de la primera etapa.

- Número de etapas del registro de desplazamiento 31
- Longitud de la secuencia pseudoaleatoria  $2^{31} - 1 = 2\,147\,483\,647$  bits
- Secuencia más larga de ceros 31 (señal invertida)

## 6 Descripción de secuencias de prueba en trama a diferentes velocidades binarias

### 6.1 Generalidades

Para funcionar correctamente, determinados objetos de prueba requieren secuencias de bits específicas en su entrada. Ejemplos típicos de estos dispositivos son los de multiplexores digitales, que necesitan una señal de prueba que contenga por lo menos la señal de alineación de trama correcta. Puede ser necesario que la información adicional, por ejemplo, bits de paridad, bits de alarma, se fije a un estado definido.

#### 6.1.1 Prueba de demultiplexores digitales

Hay que considerar dos casos:

En el caso general, las mediciones se realizarán a través de un demultiplexor digital y se requiere una señal de prueba correctamente estructurada. Esta señal contendrá la palabra de alineación de trama apropiada, bits de relleno (justificación) y todos los bits de tara de trayecto requeridos para proporcionar un funcionamiento adecuado de la terminación del trayecto. De este modo, la señal de pruebas debe estar estructurada como aparecería a la salida de un multiplexor digital que funciona correctamente. Esta estructura se muestra en el ejemplo siguiente.

Una trama							
Conjunto 1		Conjunto 2		Conjunto 3		Conjunto 4	
FAS	TS 1, TS 2, TS 3, TS 4	C <sub>j1</sub>	TS 1, TS 2, TS 3, TS 4	C <sub>j2</sub>	TS 1, TS 2, TS 3, TS 4	C <sub>j3</sub>	TS 1, TS 2, TS 3, TS 4
FAS Señal de alineación de trama más bits de alarma TS m Bits de secuencia de prueba entrelazados procedentes de los afluentes 1 a 4 C <sub>jn</sub> Bits de control de justificación							

NOTA – En 6.4 a 6.10 figura información detallada sobre estructuras múltiplex. En estas subcláusulas, los bits de secuencias de pruebas están numerados consecutivamente, lo que no significa que estos bits pertenezcan a la misma secuencia. Según la aplicación, puede ser preferible proporcionar secuencias de prueba independientes en los conjuntos que representan los afluentes de orden más bajo.

En el segundo caso, sólo se probará el comportamiento de las secciones de entrada de un multiplexor. Como ejemplos de estas pruebas cabe citar la medición de fase admisible a la entrada, las pruebas de alineación de trama, la indicación de alarmas, etc. Para este tipo de medición, la señal de prueba no tiene que contener la información de relleno correcta, ni es necesario estructurar la señal de entrada digital de orden más alto de manera que aparezcan en las salidas de los afluentes señales digitales significativas. Esta señal se estructura como se muestra a continuación.

Trama 1		Trama 2		Trama 3		.....	Trama n	
FAS	TS 1 a u	FAS	TS u + 1 a v	FAS	TS v + 1 a w	.....	FAS	TS x + 1 a y
FAS Señal de alineación de trama más bits de alarma TS 1 a TS y Bits de secuencia de prueba que pueden pertenecer a una secuencia								

### 6.2 Tramas digitales que funcionan a velocidades binarias de 1544 kbit/s

Con respecto a estas tramas, véanse la Recomendación G.704 [6] y ANSI T1.107-1988 [11].

#### 6.2.1 Multitrama o supertrama de 12 tramas

Una supertrama comprende 12 tramas (trama 01 a trama 12), consiste en 2316 bits y está estructurada como sigue:

Tr 01	Tr 02	Tr 03	Tr 04	Tr 05	Tr 06	Tr 07	Tr 08	Tr 09	Tr 10	Tr 11	Tr 12
-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------

En las tramas 01 a 05 y 07 a 11, la estructura de trama será la siguiente:

Bit 1	Bits 2 a 193
Bit de trama	Secuencia de prueba

En las tramas 06 y 12, la estructura de trama será la siguiente:

Bit 1	Bit 2-8	Bit 9	Bits 10-16	Bit 17	Bits 18-24	Bit 25	.....	Bits 186-192	Bit 193
Bit de trama	TS 1-7	a1	TS 8-14	a2	TS 15-21	a3	.....	TS 162-168	a24

NOTA – Doce bits de tara de trama ocupan posiciones de bit de tara de trama secuenciales (bit 1) como sigue: F1, S1, F2, S2, F3, S4, F5, S5, F6, S6, donde los bits F representan la señal de alineación de trama y los bits S la señal de alineación de multitrama.

TS = Bits de secuencia de prueba.

aN = Bit de señalización para canal N.

La trama 12 puede contener bits de señalización a o b según se seleccione la señalización en dos o en cuatro estados. En el modo transparente (64 kbit/s) los bits a se utilizan para los bits de secuencia de prueba. Por consiguiente, las tramas 06 y 12 contienen la secuencia de prueba en las posiciones de bits 2 a 193.

### 6.2.2 Multitrama o supertrama ampliada de 24 tramas

Una supertrama ampliada comprende 24 tramas (Tr 01 a Tr 24), consiste en 4632 bits y está estructurada como sigue:

Tr 01	Tr 02	Tr 03	Tr 04	Tr 05	Tr 06	.....	.....	.....	Tr 22	Tr 23	Tr 24
-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------

En las tramas 01 a 05, 07 a 11, 13 a 17 y 19 a 23, la estructura de trama será la siguiente:

Bit 1	Bits 2 a 193
Bit de trama	Secuencia de prueba

En las tramas 06, 12, 18 y 24, la estructura de trama será la siguiente:

Bit 1	Bit 2-8	Bit 9	Bits 10-16	Bit 17	Bits 18-24	Bit 25	.....	Bits 186-192	Bit 193
Bit de trama	TS 1-7	s1	TS 8-14	s2	TS 15-21	s3	.....	TS 162-168	s24

NOTA – Veinticuatro bits de tara de trama ocupan posiciones de bit de tara de trama secuenciales (bit 1) como sigue: M1, C1, M2, F1, M3, C2, M4, F2, M5, C3, M6, F3, M7, C4, M8, F4, M9, C5, M10, F5, M11, C6, M12, F6, donde los bits F representan la señal de alineación de trama y los bits M un enlace de datos. Los bits C son los bits CRC-6.

El significado de los bits de señalización (bits s):

Trama 06: s = a, trama 12: s = a o b, trama 18: s = a o c, trama 24: s = a, b o d según se seleccione señalización de dos, cuatro o dieciséis estados.

TS = bits de secuencia de prueba.

En el modo transparente (64 kbit/s) los bits s se utilizan para bits de secuencia de prueba. Por consiguiente, la trama 06, la trama 12, la trama 18 y la trama 24 contienen la secuencia de prueba en las posiciones de bits 2 a 193.

### 6.3 Tramas digitales que funcionan a velocidades binarias de 2048 kbit/s

Con respecto a estas tramas, véase la Recomendación G.704 [6].

### 6.3.1 Tramas sin procedimiento CRC-4 y provisión de señalización por canal común

En este caso, la estructura de trama será la siguiente:

Intervalo de tiempo 0	Intervalos de tiempo 1-15	Intervalo de tiempo 16	Intervalos de tiempo 17-31
1001 1011	Secuencia de prueba	Secuencia de prueba	Secuencia de prueba
11AS SSSS	Secuencia de prueba	Secuencia de prueba	Secuencia de prueba
A Indicación de alarma distante S Bits de reserva			

### 6.3.2 Tramas sin procedimiento CRC-4 y provisión de señalización asociada al canal

En este caso la estructura de trama será la siguiente:

Intervalo de tiempo 0	Intervalos de tiempo 1-15	Intervalo de tiempo 16	Intervalos de tiempo 17-31
1001 1011	Secuencia de prueba	abcd abcd	Secuencia de prueba
11AS SSSS	Secuencia de prueba	abcd abcd	Secuencia de prueba
A Indicación de alarma distante S Bits de reserva a, b, c, d Bits de señalización			

### 6.3.3 Tramas con procedimiento CRC-4 y provisión de señalización asociada al canal

En este caso, la estructura de trama será la siguiente:

Intervalo de tiempo 0	Intervalos de tiempo 1-15	Intervalo de tiempo 16	Intervalos de tiempo 17-31
C001 1011	Secuencia de prueba	abcd abcd	Secuencia de prueba
C1AS SSSS	Secuencia de prueba	abcd abcd	Secuencia de prueba
C Bit de verificación por redundancia cíclica (CRC-4) A Indicación de alarma distante S Bits de reserva a, b, c, d Bits de señalización			

### 6.4 Tramas digitales que funcionan a velocidades binarias de 6312 kbit/s

En este caso, la estructura de trama será la siguiente (véanse la Recomendación G.743 [12] y ANSI T1.107-1988 [11]):

Una multitrama (trama M) comprende cuatro submultitramas M de 294 bits cada una y tiene una longitud de 1176 bits.

Subtrama 1		Subtrama 2		Subtrama 3		Subtrama 4	
M1	293 bits	M2	293 bits	M3	293 bits	x	293 bits

La estructura de la primera subtrama M con una longitud de 294 bits es la siguiente:

Conjunto 1		Conjunto 2		Conjunto 3		Conjunto 4		Conjunto 5		Conjunto 6 (bloque de relleno)	
Bit 1	Bits 2-49	Bit 50	Bits 51-98	Bit 99	Bits 100-147	Bit 148	Bits 149-196	Bit 197	Bits 198-245	Bit 246	Bits 247-294
M1	TS 1-48	C1	TS 49-96	F1	TS 97-144	C2	TS 145-192	C3	TS 193-240	F2	TS 241-288

Secuencia de bits de tara de trama M:

24 bits de tara ocupan posiciones de bits de tara secuenciales como sigue:

M1, C1, F1, C2, C3, F2,

M2, C1, F1, C2, C3, F2,

M3, C1, F1, C2, C3, F2,

x, C1, F1, C2, C3, F2,

Señal de alineación de trama de trama M:  
M1 = 0, M2 = 1, M3 = 1

Señal de alineación de trama de subtrama M:  
F1 = 0, F2 = 1

x se puede utilizar como un dígito de servicio de alarma.

C1, C2 y C3 son bits de control de relleno.  
C1 = C2 = C3 = 0 indica que no hay relleno.

TS = Bits de secuencia de prueba.

El bloque de relleno (justificación) está estructurado como sigue:

Subtrama M1	F2	Bit de relleno 1	TS 242	TS 243	TS 244	TS 245	.....	TS 288
Subtrama M2	F2	TS 241	Bit de relleno 2	TS 243	TS 244	TS 245	.....	TS 288
Subtrama M3	F2	TS 241	TS 242	Bit de relleno 3	TS 244	TS 245	.....	TS 288
Subtrama M4	F2	TS 241	TS 242	TS 243	Bit de relleno 4	TS 245	.....	TS 288
NOTA – En relación con la utilización de los bits de relleno (justificación), véase 6.1.1.								

## 6.5 Tramas digitales que funcionan a velocidades binarias de 8448 kbit/s

En este caso, la estructura de trama será la siguiente (véase la Recomendación G.742 [13]):

Una trama comprende cuatro conjuntos de 212 bits cada uno y tiene una longitud de 848 bits.

Conjunto 1		Conjunto 2		Conjunto 3		Conjunto 4	
O1	200 bits	O2	208 bits	O3	208 bits	O4	208 bits

A continuación se muestra la estructura detallada de los conjuntos 1 a 4.

	Bits de tara (O-)	Bits de secuencia de prueba
Conjunto 1	Señal de alineación de trama (bits 1 a 10) 1 1 1 1 0 1 0 0 0 0 Indicación de alarma distante (bit 11) Reservado para uso nacional (bit 12)	Bits de secuencia de prueba 1-200
Conjunto 2	Bits de control de justificación: $C_{11}, C_{21}, C_{31}, C_{41}$	Bits de secuencia de prueba 201-408
Conjunto 3	Bits de control de justificación: $C_{12}, C_{22}, C_{32}, C_{42}$	Bits de secuencia de prueba 409-616
Conjunto 4	Bits de control de justificación: $C_{13}, C_{23}, C_{33}, C_{43}$ Bits de afluentes disponibles para justificación (bits 5-8)	Bits de secuencia de prueba 617-824 (820)
NOTA – En relación con la utilización de bits de relleno (justificación), véase 6.1.1.		

## 6.6 Tramas digitales que funcionan a velocidades binarias de 32 064 kbit/s

En este caso, la estructura de trama será la siguiente (véase la Recomendación G.752 [7]):

Una trama M comprende seis conjuntos (subtramas M) de 320 bits cada uno y tiene una longitud de 1920 bits.

Conjunto 1		Conjunto 2		Conjunto 3		Conjunto 4		Conjunto 5		Conjunto 6	
M1	315 bits	M2	315 bits	M3	315 bits	M4	315 bits	M5	315 bits	M6	315 bits

A continuación se muestra la estructura detallada de los conjuntos 1 a 6.

	Bits M (bits 1-5)	Bits 6-320
Conjunto 1	Señal de alineación de trama 1 1 0 1 0: (bits 1-5) $F_{11} = 1, F_{12} = 1, F_{13} = 0, F_{14} = 1, F_{15} = 0$	Bits de secuencia de prueba 1-315
Conjunto 2	Bits de control de justificación: $C_{11}, C_{21}, C_{31}, C_{41}, C_{51}$	Bits de secuencia de prueba 316-630
Conjunto 3	Bits de control de justificación: $C_{12}, C_{22}, C_{32}, C_{42}, C_{52}$	Bits de secuencia de prueba 631-945
Conjunto 4	Señal de alineación de trama 0 0 1 0 1: (bits 1-5) $F_{21} = 0, F_{22} = 0, F_{23} = 1, F_{24} = 0, F_{25} = 1$	Bits de secuencia de prueba 946-1260
Conjunto 5	Bits de control de justificación: $C_{13}, C_{23}, C_{33}, C_{43}, C_{53}$	Bits de secuencia de prueba 1261-1575
Conjunto 6	Bits auxiliares $H_1$ a $H_5$ (indicación de alarma distante)	Bits de secuencia de prueba 1576-1890 (1885)
NOTA – El bit disponible para la justificación de cada afluente es el primer intervalo del afluente en el conjunto 6.		

## 6.7 Tramas digitales que funcionan a velocidades binarias de 34 368 kbit/s

En este caso, la estructura de trama será la siguiente (véase la Recomendación G.751 [8]):

Una trama comprende cuatro conjuntos de 384 bits cada uno y tiene una longitud de 1536 bits.

Conjunto 1		Conjunto 2		Conjunto 3		Conjunto 4	
O1	372 bits	O2	380 bits	O3	380 bits	O4	388 bits



A continuación se muestra la estructura detallada de los conjuntos 1 a 4.

	Bits de tara (O-)	Bits de secuencia de prueba
Conjunto 1	Señal de alineación de trama (bits 1 a 10) 1 1 1 1 0 1 0 0 0 0 Indicación de alarma distante (bit 11) Reservado para uso nacional (bit 12)	Bits de secuencia de prueba 1-372
Conjunto 2	Bits de control de justificación: C <sub>11</sub> , C <sub>21</sub> , C <sub>31</sub> , C <sub>41</sub>	Bits de secuencia de prueba 373-752
Conjunto 3	Bits de control de justificación: C <sub>12</sub> , C <sub>22</sub> , C <sub>32</sub> , C <sub>42</sub>	Bits de secuencia de prueba 753-1132
Conjunto 4	Bits de control de justificación: C <sub>13</sub> , C <sub>23</sub> , C <sub>33</sub> , C <sub>43</sub> Bits de afluentes disponibles para justificación (bits 5-8)	Bits de secuencia de prueba 1133-1512 (1508)
NOTA – En relación con la utilización de bits de relleno (justificación), véase 6.1.1.		

## 6.8 Tramas digitales que funcionan a velocidades binarias de 44 736 kbit/s

En este caso, la estructura de trama será la siguiente (véanse la Recomendación G.752 [7] y ANSI T1.107-1988 [11]):

Una trama M comprende siete subtramas M de 680 bits cada una y tiene una longitud de 4760 bits.

Subtrama 1		Subtrama 2		Subtrama 3		Subtrama 4		Subtrama 5		Subtrama 6		Subtrama 7	
X1	697 bits	X2	697 bits	P1	697 bits	P2	697 bits	M1	697 bits	M2	697 bits	M3	697 bits

La estructura de la primera subtrama M de una longitud de 680 bits es la siguiente:

Conjunto 1		Conjunto 2		Conjunto 3		Conjunto 4		Conjunto 5		Conjunto 6		Conjunto 7		Conjunto 8 (bloque de relleno)	
Bit 1	Bits 2-85	Bit 86	Bits 87-170	Bit 171	Bits 172-255	Bit 256	Bits 257-340	Bit 341	Bits 342-425	Bit 426	Bits 427-510	Bit 511	Bits 512-595	Bit 596	Bits 597-680
X1	TS 1-84	F1	TS 85-168	C1	TS 169-252	F2	TS 253-336	C2	TS 337-420	F3	TS 421-504	C3	TS 505-588	F4	TS 589-672

Secuencia de bits de tara de trama M:

56 bits de tara ocupan posiciones de bit de tara secuenciales como sigue:

X1, F1, C1, F2, C2, F3, C3, F4,

X2, F1, C1, F2, C2, F3, C3, F4,

P1, F1, C1, F2, C2, F3, C3, F4,

Señal de alineación de trama de trama M:  
M1 = 0, M2 = 1, M3 = 0

Señal de alineación de trama de subtrama M:  
F1 = 1, F2 = 0, F3 = 0, F4 = 1

En la aplicación múltiple, el relleno para el canal a n 6312 kbit/s se produce en la subtrama M n, en el bit n del último conjunto.

P2, F1, C1, F2, C2, F3, C3, F4,

Los bits C de esa subtrama M se ponen a  $C1 = C2 = C3 = 1$  si hay relleno.

M1, F1, C1, F2, C2, F3, C3, F4,

$C1 = C2 = C3 = 0$  indica que no hay relleno.

M2, F1, C1, F2, C2, F3, C3, F4,

M3, F1, C1, F2, C2, F3, C3, F4,

TS = bits de secuencia de pruebas.

El bloque de relleno (justificación) está estructurado como sigue: (subtrama M1 a subtrama MF indican subtramas 1 a 7)

Subtrama M1	F4	Bit de relleno 1	TS 590	TS 591	TS 592	TS 593	TS 594	TS 595	TS 596	.....	TS 672
Subtrama M2	F4	TS 589	Bit de relleno 2	TS 591	TS 592	TS 593	TS 594	TS 595	TS 596	.....	TS 672
Subtrama M3	F4	TS 589	TS 590	Bit de relleno 3	TS 592	TS 593	TS 594	TS 595	TS 596	.....	TS 672
Subtrama M4	F4	TS 589	TS 590	TS 591	Bit de relleno 4	TS 593	TS 594	TS 595	TS 596	.....	TS 672
Subtrama M5	F4	TS 589	TS 590	TS 591	TS 592	Bit de relleno 5	TS 594	TS 595	TS 596	.....	TS 672
Subtrama M6	F4	TS 589	TS 590	TS 591	TS 592	TS 593	Bit de relleno 6	TS 595	TS 596	.....	TS 672
Subtrama M7	F4	TS 589	TS 590	TS 591	TS 592	TS 593	TS 594	Bit de relleno 7	TS 596	.....	TS 672

## 6.9 Tramas digitales que funcionan a velocidades binarias de 97 728 kbit/s

En este caso, la estructura de trama será la siguiente (véase la Recomendación G.752 [7]):

Una trama M comprende seis conjuntos (subtramas M) de 192 bits cada una y tiene una longitud de 1152 bits.

Conjunto 1		Conjunto 2		Conjunto 3		Conjunto 4		Conjunto 5		Conjunto 6	
M1	189 bits	M2	189 bits	M3	189 bits	M4	189 bits	M5	189 bits	M6	189 bits

A continuación se muestra la estructura detallada de los conjuntos 1 a 3.

	Bits M (bits 1-3)	Bits 4-192
Conjunto 1	Señal de alineación de trama 1 1 0: $F_{11} = 1, F_{12} = 1, F_{13} = 0$	Bits de secuencia de prueba 1-189
Conjunto 2	Bits de control de justificación: $C_{11}, C_{21}, C_{31}$	Bits de secuencia de prueba 190-378
Conjunto 3	Bits de control de justificación: $C_{12}, C_{22}, C_{32}$	Bits de secuencia de prueba 379-567
Conjunto 4	Señal de alineación de trama 0 0 1: $F_{21} = 0, F_{22} = 0, F_{23} = 1$	Bits de secuencia de prueba 568-756
Conjunto 5	Bits de control de justificación: $C_{13}, C_{23}, C_{33}$	Bits de secuencia de prueba 757-945
Conjunto 6	Bits auxiliares $H_1$ a $H_3$	Bits de secuencia de prueba 946-1134 (Nota)
TS Bits de secuencia de prueba		
NOTA – El bit disponible para justificación de cada afluente es el primer intervalo de ese afluente que sigue a $H_n$ . $H_1$ es el bit de paridad para la trama precedente, $H_2$ está reservado para uso nacional, $H_3$ se utiliza para indicación de alarma a distancia (RAI, <i>remote alarm indication</i> ).		

## 6.10 Tramas digitales que funcionan a velocidades binarias de 139 264 kbit/s

### 6.10.1 Tramas digitales que funcionan a 139 264 kbit/s y multiplexan señales a 34 368 kbit/s

En este caso, la estructura de trama será la siguiente (véase la Recomendación G.751 [8]):

Una trama comprende cuatro conjuntos de 488 bits cada uno y tiene una longitud de 2928 bits.

Conjunto 1		Conjuntos 2 a 5		Conjunto 6	
O1	472 bits	O2-5	484 bits	O6	484 bits

A continuación se muestra la estructura detallada de los conjuntos 1 a 6.

	Bits de tara (O-)	Bits de secuencia de prueba
Conjunto 1	Señal de alineación de trama (bits 1 a 12): 1 1 1 1 1 0 1 0 0 0 0 0 Indicación de alarma distante (bit 13) Reservado para uso nacional (bits 14-16)	Bits de secuencia de prueba 1-472
Conjuntos 2-5	Bits de control de justificación: $C_{1n}, C_{2n}, C_{3n}, C_{4n}$	Bits de secuencia de prueba 473-2408
Conjunto 6	Bits de control de justificación: $C_{15}, C_{25}, C_{35}, C_{45}$ Bits procedentes de afluentes disponibles para justificación (bits 5-8)	Bits de secuencia de prueba 2409-2892 (2888)
NOTA – En relación con la utilización de bits de relleno (justificación), véase 6.1.1.		

### 6.10.2 Tramas digitales que funcionan a 139 264 kbit/s y multiplexan señales a 44 736 kbit/s

En este caso, la estructura de trama será la siguiente (véanse la Recomendación G.755 [14] y ANSI T1.107-1988 [11]):

Una trama M comprende seis conjuntos (subtramas M) de 159 bits cada uno y tiene una longitud de 954 bits.

Conjunto 1		Conjunto 2		Conjunto 3		Conjunto 4		Conjunto 5		Conjunto 6	
M1	147 bits	M2	156 bits	M3	156 bits	M4	150 bits	M5	156 bits	M6	156 bits

A continuación se muestra la estructura detallada de los conjuntos 1 a 3.

	Bits M	Bits de secuencia de prueba
Conjunto 1	Señal de alineación de trama (bits 1-12): 1 1 1 1 1 0 1 0 0 0 0 0	Bits de secuencia de prueba 1-147 (147 bits)
Conjunto 2	Bits de control de justificación: $C_{11}$ , $C_{21}$ , $C_{31}$ (bits 1-3)	Bits de secuencia de prueba 148-303 (156 bits)
Conjunto 3	Bits de control de justificación: $C_{12}$ , $C_{22}$ , $C_{32}$ (bits 1-3)	Bits de secuencia de prueba 304-459 (156 bits)
Conjunto 4	Bits de control de justificación: $C_{13}$ , $C_{23}$ , $C_{33}$ (bits 1-3) Indicación de alarma distante (bit 4) Bit de paridad (bit 5) Reservados para uso futuro (bits 6-9)	Bits de secuencia de prueba 460-609 (150 bits)
Conjunto 5	Bits de control de justificación: $C_{14}$ , $C_{24}$ , $C_{34}$ (bits 1-3)	Bits de secuencia de prueba 610-765 (156 bits)
Conjunto 6	Bits de control de justificación: $C_{15}$ , $C_{25}$ , $C_{35}$ (bits 1-3) Bits de afluentes disponibles para justificación (bits 4-6)	Bits de secuencia de prueba 766-921/918 (156/153 bits)

## 6.11 Tramas digitales que funcionan a velocidades binarias STM-N

Las estructuras de señales de prueba para mediciones en equipos de la jerarquía digital síncrona que funcionan a velocidades binarias de 155 520 kbit/s, 622 080 kbit/s y 2 488 320 kbit/s figuran en la Recomendación O.181.

## 7 Mediciones de la característica de error en los bloques

### 7.1 Medición de errores en los bloques

La Recomendación G.826 define parámetros y objetivos de característica de error aplicables a trayectos digitales que funcionan a la velocidad primaria o superiores. La Recomendación requiere que las mediciones de la característica de error se basen en la evaluación de bloques.

La instrumentación para efectuar mediciones de errores conformes a la Recomendación G.826 cumplirán también el concepto basado en la evaluación de bloques. En este caso, los resultados de las mediciones se obtendrán en forma de errores en los bloques o tasas de errores en los bloques.

Sin embargo, este requisito no excluye la medición y evaluación facultativas de errores en los bits resultantes en errores en los bits o en tasas de errores en los bits.

### 7.2 Tamaños de bloque

Para obtener resultados de mediciones compatibles, las mediciones de la característica de error en los bloques tienen que basarse en tamaños de bloque idénticos.

### 7.2.1 Tamaños de bloque para mediciones fuera de servicio de la calidad de funcionamiento en sistemas de la jerarquía digital plesiócrona

La Recomendación G.826 [5] define los tamaños de bloque para mediciones en servicio a velocidades binarias en las cuales se utilizan códigos de detección de errores (EDC, *error detection codes*) inherentes. Estos tamaños de bloques se utilizarán también para mediciones fuera de servicio. (Véase el Cuadro 2.)

CUADRO 2/O.150

#### Tamaños de bloque para la supervisión de la característica de error en sistemas de la jerarquía digital plesiócrona (PDH) con EDC

Velocidad binaria	Tamaño de bloque PDH	Longitud de bloque PDH	Base	Referencias
1544 kbit/s	4632 bits	3 ms	CRC-6	2.1/G.704 Anexo B/G.826
2048 kbit/s	2048 bits	1 ms	CRC-4	2.3/G.704 Anexo B/G.826
6312 kbit/s	3156 bits	500 $\mu$ s	CRC-5	2.2/G.704 Anexo B/G.826
44 736 kbit/s	4760 bits	106 $\mu$ s	Bit de control de paridad	1.3/G.752 Anexo B/G.826

Para mediciones a velocidades binarias cuando no existe EDC, los tamaños de bloques opcionales preferidos son los que se indican en el Cuadro 3.

CUADRO 3/O.150

#### Tamaños de bloque para la supervisión de la característica de error en sistemas de la jerarquía digital plesiócrona (PDH) sin EDC

Velocidad binaria	Tamaño de bloque PDH	Longitud de bloque PDH	Base
8448 kbit/s	4224 bits	500 $\mu$ s	(Sin EDC, véase la Nota)
32 064 kbit/s	4008 bits	125 $\mu$ s	(Sin EDC, véase la Nota)
34 368 kbit/s	4296 bits	125 $\mu$ s	(Sin EDC, véase la Nota)
97 728 kbit/s	12 216 bits	125 $\mu$ s	(Sin EDC, véase la Nota)
139 264 kbit/s	17 408 bits	125 $\mu$ s	(Sin EDC, véase la Nota)

NOTA – Cuando se hace referencia a un código de detección de errores (EDC), el tamaño del bloque viene dado por el mecanismo EDC. Cuando no se define EDC, el tamaño de bloque se basa en múltiplos de 125  $\mu$ s. El tamaño de bloque/longitud de bloque reales puede apartarse del valor nominal indicado en el cuadro en  $\pm 5\%$ .

### 7.2.2 Tamaños de bloque para mediciones fuera de servicio de la calidad de funcionamiento en sistemas de la jerarquía digital síncrona

El Cuadro 4 muestra los tamaños de bloque para mediciones de la característica de error en trayectos de la jerarquía digital síncrona. Estos tamaños de bloque se definen en la Recomendación G.826 para mediciones en servicio y se utilizarán también para mediciones fuera de servicio.

Los tamaños de bloques para mediciones en secciones de multiplexación figuran en las Recomendaciones pertinentes de la serie G relativas a la característica de error.

CUADRO 4/O.150

**Tamaños de bloque para la supervisión de la característica de error en sistemas de la jerarquía digital síncrona (SDH)**

Velocidad binaria del trayecto	Tipo de trayecto SDH	Tamaño de bloque SDH	EDC (Nota)	Referencias
1664 kbit/s	VC-11	832 bits	BIP-2	Anexo C/G.826
2240 kbit/s	VC-12	1120 bits	BIP-2	Anexo C/G.826
6848 kbit/s	VC-2	3424 bits	BIP-2	Anexo C/G.826
48 960 kbit/s	VC-3	6120 bits	BIP-8	Anexo C/G.826
150 336 kbit/s	VC-4	18 792 bits	BIP-8	Anexo C/G.826
34 240 kbit/s	VC-2-5c	17 120 bits	BIP-2	Anexo C/G.826
601 344 000 kbit/s	VC-4-4c	75 168 bits	BIP-8	Anexo C/G.826

NOTA – El tamaño de bloques se basa en el código de detección de errores SDH inherente.

**7.2.3 Tamaños de bloque para mediciones de la calidad de funcionamiento en sistemas basados en células**

Los tamaños de bloque para las mediciones de la calidad de funcionamiento en sistemas basados en células se definen en la Recomendación O.191.

**8 Detección y supresión de defectos de la señal de indicación de alarma (AIS) y de la pérdida de señal (LOS)**

La instrumentación de las mediciones especificadas en las Recomendaciones de la serie O destinadas a funcionar en interfaces digitales, por ejemplo, interfaces conformes a la Recomendación G.703 [9], puede requerir que se supervise el estado de la señal que se ha de evaluar. Ejemplos de estos defectos son la señal de indicación de alarma (AIS, *alarm indication signal*) y la pérdida de señal (LOS, *loss of signal*).

Los criterios para detectar y suprimir defectos de LOS y AIS en interfaces que funcionan a velocidades binarias conformes a la Recomendación G.703 se indican en la Recomendación G.755 [10] y serán observados por la instrumentación indicada en las Recomendaciones de la serie O.

## **SERIES DE RECOMENDACIONES DEL UIT-T**

Serie A	Organización del trabajo del UIT-T
Serie B	Medios de expresión
Serie C	Estadísticas generales de telecomunicaciones
Serie D	Principios generales de tarificación
Serie E	Red telefónica y RDSI
Serie F	Servicios de telecomunicación no telefónicos
Serie G	Sistemas y medios de transmisión
Serie H	Transmisión de señales no telefónicas
Serie I	Red digital de servicios integrados (RDSI)
Serie J	Transmisiones de señales radiofónicas y de televisión
Serie K	Protección contra las interferencias
Serie L	Construcción, instalación y protección de los cables y otros elementos de planta exterior
Serie M	Mantenimiento: sistemas de transmisión, circuitos telefónicos, telegrafía, facsímil y circuitos arrendados internacionales
Serie N	Mantenimiento: circuitos internacionales para transmisiones radiofónicas y de televisión
<b>Serie O</b>	<b>Especificaciones de los aparatos de medida</b>
Serie P	Calidad de transmisión telefónica
Serie Q	Conmutación y señalización
Serie R	Transmisión telegráfica
Serie S	Equipos terminales de telegrafía alfabética
Serie T	Equipos terminales y protocolos para los servicios de telemática
Serie U	Conmutación telegráfica
Serie V	Comunicación de datos por la red telefónica
Serie X	Redes de datos y comunicación entre sistemas abiertos
Serie Z	Lenguajes de programación