



UNION INTERNATIONALE DES TÉLÉCOMMUNICATIONS

UIT-T

V.27 *bis*

SECTEUR DE LA NORMALISATION
DES TÉLÉCOMMUNICATIONS
DE L'UIT

**COMMUNICATIONS DE DONNÉES
SUR LE RÉSEAU TÉLÉPHONIQUE**

**MODEM NORMALISÉ À 4800/2400 bit/s AVEC
ÉGALISATION AUTOMATIQUE DESTINÉ AUX
CIRCUITS LOUÉS DE TYPE TÉLÉPHONIQUE**

Recommandation UIT-T V.27 *bis*

(Extrait du *Livre Bleu*)

NOTES

1 La Recommandation V.27 *bis* de l'UIT-T a été publiée dans le fascicule VIII.1 du Livre Bleu. Ce fichier est un extrait du Livre Bleu. La présentation peut en être légèrement différente, mais le contenu est identique à celui du Livre Bleu et les conditions en matière de droits d'auteur restent inchangées (voir plus loin).

2 Dans la présente Recommandation, le terme «Administration» désigne indifféremment une administration de télécommunication ou une exploitation reconnue.

© UIT 1988, 1993

Droits de reproduction réservés. Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'UIT.

Recommandation V.27 bis

MODEM NORMALISÉ À 4800/2400 bit/s AVEC ÉGALISATION AUTOMATIQUE DESTINÉ AUX CIRCUITS LOUÉS DE TYPE TÉLÉPHONIQUE

(Genève, 1976; modifiée à Genève, 1980
et à Malaga-Torremolinos, 1984)

Introduction

Ce modem est destiné à la transmission de données sur des circuits loués quelconques du réseau public, qui ne sont pas nécessairement conformes aux spécifications de la Recommandation M.1020 [1]. Une séquence de démarrage rapide a été prévue pour permettre l'utilisation de ce modem pour l'exploitation multipoints avec appels sélectifs, lorsque les circuits utilisés sont conformes aux spécifications de la Recommandation M.1020.

Sur les circuits loués, étant donné qu'il existe et que l'on créera encore de nombreux modems dont les caractéristiques répondent aux besoins des Administrations et des usagers, la présente Recommandation ne restreint en aucune façon l'utilisation d'autres modems. La présente Recommandation ne supprime pas la nécessité de prévoir des modems à égalisation manuelle conformes à la Recommandation V.27, ni la possibilité d'utiliser d'autres modems à 4800 bit/s avec égalisation automatique.

Les dispositions de la présente Recommandation doivent être considérées comme provisoires, le but recherché étant de permettre que le service soit assuré là où les besoins sont les plus urgents et sur les relations où il y a lieu de s'attendre qu'il puisse être satisfaisant.

1 Caractéristiques principales

Les caractéristiques principales du modem défini dans la présente Recommandation sont très proches de celles d'un modem conforme à la Recommandation V.27, sauf en ce qui concerne le type d'égaliseur:

- a) fonctionnement en mode duplex ou semi-duplex sur des circuits loués à quatre fils ou en mode semi-duplex sur des circuits loués à deux fils;
- b) au fonctionnement à 4800 bit/s, modulation de phase différentielle octovalente définie dans la Recommandation V.27;
- c) possibilité de fonctionner au débit réduit de 2400 bit/s avec modulation de phase différentielle quadrivalente définie dans la Recommandation V.26, solution A;
- d) inclusion possible d'une voie de retour (de contrôle) dont la rapidité de modulation est inférieure ou égale à 75 bauds dans chaque sens de transmission, l'existence et l'utilisation de cette voie étant facultatives;
- e) inclusion d'un égaliseur auto-adaptatif ayant une séquence de démarrage spécifique pour les lignes conformes à la Recommandation M.1020 [1] et une séquence de démarrage avec inversions de phase pour les lignes de qualité nettement inférieure.

2 Signaux transmis en ligne à 4800 et 2400 bit/s

2.1 Fréquence porteuse

La fréquence porteuse doit être de 1800 ± 1 Hz. Aucune fréquence pilote distincte n'est prévue. Les niveaux de puissance utilisés doivent être conformes aux spécifications de la Recommandation V.2.

2.1.1 Spectre à 4800 bit/s

Le spectre d'énergie sera en cosinus surélevé à 50% avec équirépartition entre le récepteur et l'émetteur. Par rapport à la densité maximale d'énergie entre 1000 et 2600 Hz, la densité d'énergie à 1000 Hz et à 2600 Hz subira un affaiblissement de 3 ± 2 dB.

2.1.2 Spectre à 2400 bit/s

Le spectre d'énergie minimal sera en cosinus surélevé à 50% avec équirépartition entre le récepteur et l'émetteur. Par rapport à la densité maximale d'énergie entre 1200 et 2400 Hz, la densité d'énergie à 1200 Hz et à 2400 Hz subira un affaiblissement de 3 ± 2 dB.

2.2 Répartition de la puissance entre les voies d'aller et de retour

En cas de transmission simultanée pour la voie d'aller et pour la voie de retour dans le même sens de transmission, le niveau de puissance de la voie de retour sera inférieur de 6 dB à celui de la voie d'aller (de transmission de données).

2.3 Fonctionnement à 4800 bit/s

2.3.1 Débit binaire et rapidité de modulation

Le débit binaire sera de 4800 bit/s $\pm 0,01\%$, et la rapidité de modulation sera de 1600 bauds $\pm 0,01\%$.

2.3.2 Codage des bits de données

Le train de données à transmettre est divisé en groupes de trois bits consécutifs (tribits). Chaque tribit est codé sous la forme d'un changement de phase par rapport à la phase du tribit qui le précède et constitue un élément de signal (voir le tableau 1/V.27 bis). Au récepteur, les tribits sont décodés et les bits sont remis dans leur ordre correct. Le chiffre de gauche du tribit est celui qui se présente le premier dans le train de données, lorsqu'il entre dans la partie modulateur du modem, en aval de l'embrouilleur.

TABLEAU 1/V.27 bis

Tribit			Changement de phase (voir la remarque)
0	0	1	0°
0	0	0	45°
0	1	0	90°
0	1	1	135°
1	1	1	180°
1	1	0	225°
1	0	0	270°
1	0	1	315°

Remarque – Le changement de phase est le décalage de phase réel en ligne dans la région de transition du signal située entre le milieu d'un élément de signal et le milieu de l'élément suivant.

2.4 Fonctionnement à 2400 bit/s

2.4.1 Débit binaire et rapidité de modulation

Le débit binaire sera de 2400 bit/s $\pm 0,01\%$, et la rapidité de modulation sera de 1200 bauds $\pm 0,01\%$.

2.4.2 Codage des bits de données

Au débit de 2400 bit/s, le train de données est divisé en groupes de deux bits (dibits). Chaque dibit est codé sous la forme d'un changement de phase par rapport à la phase du dibit qui le précède immédiatement (voir le tableau 2/V.27 bis). Au récepteur, les dibits sont décodés et remis dans leur ordre correct. Le chiffre de gauche du dibit est celui qui se présente le premier dans le train de données lorsqu'il entre dans la partie modulateur du modem, en aval de l'embrouilleur.

TABLEAU 2/V.27 bis

Dibit	Changement de phase (voir la remarque)
00	0°
01	90°
11	180°
10	270°

Remarque – Le changement de phase est le décalage de phase réel en ligne dans la région de transition du signal située entre le milieu d'un élément de signal et le milieu de l'élément suivant.

2.5 Séquences de fonctionnement

2.5.1 Séquence de passage à l'état FERMÉ

Pendant la durée de l'intervalle entre les passages des circuits 105 et 106 de l'état OUVERT à l'état FERMÉ, des signaux de synchronisation doivent – pour conditionner correctement le modem de réception – être engendrés par le modem d'émission. Ces signaux ont pour but d'assurer la détection de la porteuse, la commande automatique de gain si nécessaire, la synchronisation de base de temps, la convergence de l'égaliseur et la synchronisation du désembrouilleur.

Deux séquences sont définies:

- une séquence courte pour les circuits à quatre fils conformes à la Recommandation M.1020 [1];
- une séquence longue pour les circuits à quatre fils dont la qualité de fonctionnement est nettement moins bonne que celle que prévoit la Recommandation M.1020 [1] et pour les circuits à deux fils.

Pour les deux débits, les séquences sont divisées en trois segments, comme indiqué dans le tableau 3/V.27 bis.

TABLEAU 3/V.27 bis

	Segment 1	Segment 2	Segment 3	Total des segments 1, 2 et 3	
Type de signal en ligne	Inversions continues de phase de 180°	Séquence de conditionnement de l'égaliseur avec inversions de phase (0° à 180°)	Emission continue de "1" embrouillés	Durée totale de la séquence de passage à l'état FERMÉ	
				4800 bit/s	2400 bit/s
Nombre d'intervalles unitaires (SI) ^{a)}	a) 14 SI b) 50 SI	a) 58 SI b) 1074 SI	8 SI	a) 50 ms b) 708 ms	a) 67 ms b) 943 ms

a) SI = Intervalles unitaires du dibit ou tribit. Les durées des segments 1, 2 et 3 sont exprimées en nombre d'intervalles unitaires (SI), ces valeurs sont les mêmes dans le mode de repli.

2.5.1.1 Le segment 1 se compose d'inversions de phase continues de 180° pendant 14 intervalles unitaires (SI) dans le cas de la séquence a) et de 50 intervalles unitaires (SI) dans celui de la séquence b).

2.5.1.2 Le segment 2 se compose d'un schéma de conditionnement d'égaliseur; il s'agit d'une séquence déduite d'une séquence pseudo-aléatoire engendrée par le polynôme:

$$1 + x^{-6} + x^{-7}$$

2.5.1.2.1 Pour le fonctionnement à 4800 bit/s, on obtient le schéma de conditionnement de l'égaliseur en utilisant chaque troisième bit de la séquence pseudo-aléatoire définie au § 2.5.1.2. Lorsque la séquence ainsi obtenue contient un ZERO, la transmission s'effectue avec un changement de phase nul; lorsqu'elle contient un UN, la transmission s'effectue avec un changement de phase de 180°. Le segment 2 commence par la séquence 0°, 180°, 180°, 180°, 180°, 180°, 0°, ..., selon la séquence obtenue; il se poursuit pendant 58 intervalles unitaires (SI) dans le cas de la séquence a) et 1074 intervalles unitaires (SI) avec la séquence b). L'appendice I à la présente Recommandation donne un exemple détaillé de génération de séquence.

2.5.1.2.2 Sur les circuits loués – compte tenu du fait qu'il existe des modems qui fonctionnent conformément au § 2.5.1.2.1 à 4800 bit/s, mais qui diffèrent quant à leurs séquences de passage à l'état FERMÉ à 2400 bit/s – on définit les deux variantes pour les schémas de conditionnement de l'égaliseur:

- i) dans la première variante, le schéma de conditionnement est identique à celui défini au § 2.5.1.2.1;
- ii) dans la seconde variante, on obtient le schéma de conditionnement en utilisant un bit sur deux de la séquence pseudo-aléatoire définie au § 2.5.1.2. Lorsque la séquence obtenue contient un ZÉRO, la transmission s'effectue avec un changement de phase nul; lorsqu'elle contient un UN, la transmission s'effectue avec un changement de phase de 180°. Le segment 2 commence par la séquence 0°, 180°, 0°, 180°, 180°, 0°, 180°, ..., selon la séquence obtenue; il se poursuit pendant 58 intervalles unitaires (SI) dans le cas de la séquence a) et 1074 intervalles unitaires (SI) avec la séquence b).

2.5.1.3 Le segment 3 commence la transmission selon le codage décrit aux § 2.3 et 2.4 avec application continue de l'état 1 à l'entrée de l'embrouilleur de données. Le segment 3 se compose de 8 intervalles unitaires (SI). A la fin de ce segment, le circuit 106 passe à l'état FERMÉ et les données de l'utilisateur sont appliquées à l'entrée de l'embrouilleur de données.

2.5.1.4 Le tableau 4/V.27 bis indique les séquences de changement de phase pour les segments 2 et 3, à 4800 bit/s et 2400 bit/s.

TABLEAU 4/V.27 bis^{a)}

Débit binaire		Segment 2	Segment 3
4800 bit/s	Changement de phase PSA ^{b)}	0° 180° 180° 180° 180° 180° 0°.....180° 180° 0° 0° 011 101 101 100 100 101 001.....110 100 010 001	270° 225° 315° 90° 45° 45° 180° 180° 100 110 101 010 000 000 111 111
2400 bit/s variante i)	Changement de phase PSA ^{b)}	0° 180° 180° 180° 180° 180° 0°.....180° 180° 0° 0° 011 101 101 100 100 101 001.....110 100 010 001	270° 90° 270° 270° 270° 270° 0° 0° 10 01 10 10 10 10 00 00
2400 bit/s variante ii)	Changement de phase PSA ^{b)}	0° 180° 0° 180° 180° 0° 180°..180° 0° 180° 180° 180° 0° 01 11 01 10 11 00 10.....10 00 10 10 11 00	0° 90° 90° 180° 270° 0° 180° 270° 00 01 01 11 10 00 11 10
	Durée	← 58 ou 1074 SI → Les PSA et les séquences unitaires initiales et finales sont les mêmes pour les deux durées)	← 8 SI →

a) La remarque figurant à la fin de l'appendice I explique de quelle façon les variantes de séquences pour les segments 2 et 3 peuvent être produites.

b) PSA désigne la séquence pseudo-aléatoire définie au § 2.5.1.2. Les bits soulignés déterminent les changements de phase.

2.5.2 Séquence de passage à l'état OUVERT

Le signal en ligne émis après le passage du circuit 105 de l'état FERMÉ à l'état OUVERT est divisé en deux segments, comme indiqué dans le tableau 5/V.27 bis.

TABLEAU 5/V.27 bis

	Segment A	Segment B	Durée totale des segments A et B
Type de signal en ligne	Données restantes suivies de "1" émis continuellement et embrouillés	Aucune énergie transmise	Durée totale du passage à l'état OUVERT
Durée	5 à 10 ms	20 ms	25 à 30 ms

S'il se produit un passage de l'état OUVERT à l'état FERMÉ du circuit 105 pendant la séquence de passage à l'état OUVERT, il n'en sera pas tenu compte jusqu'à la fin de cette séquence.

De plus, on a la condition suivante dans le cas de l'exploitation semi-duplex sur circuit à deux fils: si le circuit 105 passe à l'état FERMÉ pendant la réception du segment A de la séquence de passage à l'état OUVERT, l'émission de la séquence de passage à l'état FERMÉ peut, à titre facultatif, commencer dans un délai maximal inférieur à 20 ms après la fin de la réception du segment A.

3 Tolérance sur la fréquence du signal reçu

Etant donné que la tolérance sur la fréquence porteuse de l'émetteur est de ± 1 Hz et en admettant une dérive maximale de ± 6 Hz sur la connexion entre modems, le récepteur doit pouvoir accepter des erreurs d'au moins ± 7 Hz sur les fréquences reçues.

4 Voie de retour

La rapidité de modulation, les fréquences caractéristiques, les tolérances, etc., sont celles que recommande la Recommandation V.23 pour la voie de retour. Cela n'exclut pas l'utilisation d'une voie de retour plus rapide pouvant fonctionner à 75 bauds et plus, et dont les fréquences caractéristiques sont les mêmes que celles de la voie de retour de la Recommandation V.23.

5 Circuits de jonction

5.1 *Liste des circuits de jonction essentiels* (voir le tableau 6/V.27 bis)

5.2 *Temps de réponse des circuits 106, 109, 121 et 122* (voir le tableau 7/V.27 bis)

5.2.1 *Circuit 109*

Le circuit 109 doit passer à l'état FERMÉ lorsque la synchronisation est achevée et avant l'apparition des données de l'utilisateur sur le circuit 104.

5.2.2 *Circuit 106*

Les temps de réponse du circuit 106 sont définis comme les durées qui s'écoulent entre l'instant où l'état FERMÉ ou l'état OUVERT apparaît sur le circuit 105 et l'instant où l'état FERMÉ ou l'état OUVERT correspondant apparaît sur le circuit 106.

TABLEAU 6/V.27 bis

Circuit de jonction		Voie (de données) d'aller semi-duplex ou duplex (voir la remarque)	
N°	Désignation	Sans voie de retour	Avec voie de retour
102	Terre de signalisation ou retour commun	X	X
103	Emission des données	X	X
104	Réception des données	X	X
105	Demande pour émettre	X	X
106	Prêt à émettre	X	X
107	Poste de données prêt	X	X
108/1	Connectez le poste de données sur la ligne	X	X
109	Détecteur de signaux reçus sur la voie de données	X	X
111	Sélecteur du débit binaire (origine ETTD)	X	X
113	Base de temps pour les éléments de signal à l'émission (origine ETTD)	X	X
114	Base de temps pour les éléments de signal à l'émission (origine ETCD)	X	X
115	Base de temps pour les éléments de signal à la réception (origine ETCD)	X	X
118	Emission des données sur la voie de retour		X
119	Réception des données sur la voie de retour		X
120	Transmettez le signal de ligne sur la voie de retour		X
121	Voie de retour prête		X
122	Détecteur du signal reçu en ligne sur la voie de retour		X

Remarque – Tous les circuits de jonction indispensables et tous autres circuits mis en oeuvre doivent être conformes aux spécifications fonctionnelles et satisfaire aux directives pour l'exploitation énoncées dans la Recommandation V.24. Tous les circuits de jonction marqués "X" doivent être convenablement terminés dans l'ETTD et l'ETCD conformément aux spécifications de la Recommandation pertinente relative aux caractéristiques électriques (voir le § 6).

TABLEAU 7/V.27 bis

Temps de réponse

Circuit 106	4800 bit/s	2400 bit/s
	OUVERT à FERMÉ	a) 50 ms b) 708 ms
FERMÉ à OUVERT	≤ 2 ms	
Circuit 109	Voir le § 5.2.1	
OUVERT à FERMÉ	5 à 15 ms	
FERMÉ à OUVERT	≤ 2 ms	
Circuit 121	80 à 160 ms	
OUVERT à FERMÉ	80 à 160 ms	
FERMÉ à OUVERT	≤ 2 ms	
Circuit 122	< 80 ms	
OUVERT à FERMÉ	< 80 ms	
FERMÉ à OUVERT	15 à 80 ms	

Remarque – a) et b) se réfèrent aux séquences a) et b) définies au § 2.5.1.

5.3 Seuil du détecteur du signal de ligne reçu sur la voie de données et du détecteur de signal de ligne reçu sur la voie de retour

Niveau du signal reçu en ligne aux bornes du récepteur:

- Pour les circuits loués de qualité ordinaire (voir la Recommandation M.1040 [2])

Seuil pour les circuits 109/122:

- supérieur à -43 dBm: passage de l'état OUVERT à l'état FERMÉ
- inférieur à -48 dBm: passage de l'état FERMÉ à l'état OUVERT

- Pour les circuits loués de qualité spéciale (voir la Recommandation M.1020 [1])

Seuil pour le circuit 109:

- supérieur à -26 dBm: passage de l'état OUVERT à l'état FERMÉ
- inférieur à -31 dBm: passage de l'état FERMÉ à l'état OUVERT

Seuil pour le circuit 122:

- supérieur à -34 dBm: passage de l'état OUVERT à l'état FERMÉ
- inférieur à -39 dBm: passage de l'état FERMÉ à l'état OUVERT

L'état des circuits 109 et 122 pour les niveaux compris entre -43 et -48 dBm n'est pas spécifié, exception faite de ce que les détecteurs de signaux doivent présenter un effet d'hystérésis tel que le niveau correspondant au passage de l'état OUVERT à l'état FERMÉ soit supérieur d'au moins 2 dB au niveau correspondant au passage de l'état FERMÉ à l'état OUVERT.

5.4 Verrouillage en mode semi-duplex

L'ETCD, lorsqu'il fonctionne en mode semi-duplex sur une ligne à deux fils, doit maintenir les circuits suivants (s'ils sont utilisés):

- a) le circuit 104 à l'état binaire 1 et le circuit 109 à l'état OUVERT lorsque le circuit 105 est à l'état FERMÉ et, lorsqu'il convient de protéger le circuit 104 contre les signaux erronés, pendant une période de 150 ± 25 ms après le passage du circuit 105 de l'état FERMÉ à l'état OUVERT. L'emploi de ce délai supplémentaire est facultatif et dépend de considérations relatives au système;
- b) le circuit 119 à l'état binaire 1 et le circuit 122 à l'état OUVERT lorsque le circuit 120 est à l'état FERMÉ et, lorsqu'il convient de protéger le circuit 119 contre les signaux erronés, pendant un certain intervalle de temps après le passage du circuit 120 de l'état FERMÉ à l'état OUVERT. La durée de cet intervalle de temps sera déterminée ultérieurement. L'emploi de délai supplémentaire est facultatif et dépend de considérations relatives au système.

5.5 Condition de dérangement de circuits de jonction

(Voir le § 7 de la Recommandation V.28, pour la correspondance avec les types de détection des défaillances des récepteurs.)

5.5.1 L'ETTD doit interpréter un dérangement sur le circuit 107 comme un état OUVERT, en appliquant la détection de défaillance de type 1.

5.5.2 L'ETCD doit interpréter un dérangement sur les circuits 105 et 108 comme un état OUVERT, en appliquant la détection de défaillance de type 1.

5.5.3 Tous les autres circuits, non mentionnés ci-dessus, peuvent utiliser la détection de défaillance des types 0 ou 1.

6 Caractéristiques électriques des circuits de jonction

Il est recommandé d'utiliser les caractéristiques de la Recommandation V.28, ainsi que le plan d'affectation des broches du connecteur spécifié dans la norme ISO 2110.

Remarque – Les constructeurs pourront noter que l'objectif à long terme consiste à remplacer les caractéristiques électriques spécifiées dans la Recommandation V.28 et que la Commission d'études XVII a accepté d'entreprendre, pour application aux Recommandations de la série V, l'étude d'une interface entièrement symétrique plus efficace qui ramènera à un minimum le nombre des circuits de jonction.

7 Inclusion d'une horloge

Il convient d'inclure des horloges dans le modem pour fournir le rythme sur les éléments de signal à l'émission à l'équipement terminal de données (circuit 114) et le rythme des éléments de signal au récepteur (circuit 115). On peut également choisir de former le rythme sur les éléments de signal à l'émission dans l'équipement terminal des données et de le transférer au modem par l'intermédiaire du (circuit 113).

8 Embrouilleur

Un embrouilleur-désembrouilleur à autosynchronisation comportant un polynôme de génération:

$$1 + x^{-6} + x^{-7}$$

ainsi que des dispositifs supplémentaires de protection contre l'apparition des schémas récurrents de 1, 2, 3, 4, 6, 8, 9 et 12 bits doit être inclus dans ce modem. La figure I-2/V.27 *bis* montre une disposition logique appropriée (voir la remarque). L'embrouilleur-désembrouilleur est du même type que celui que spécifie la Recommandation V.27, mais il est doté de circuits supplémentaires destinés à la protection contre les schémas récurrents de 8 bits.

Remarque – Les figures I-1/V.27 *bis* et I-2/V.27 *bis* ne sont données qu'à titre indicatif, car en utilisant une autre technique la disposition logique en serait peut-être différente.

A l'émetteur, l'embrouilleur doit diviser effectivement le polynôme de message, dont la séquence de données d'entrée représente les coefficients dans l'ordre décroissant, par le polynôme générateur de l'embrouilleur pour former la séquence de données à transmettre; au récepteur, le polynôme reçu, dont la séquence de données représente les coefficients, dans l'ordre décroissant, doit être multiplié par le polynôme générateur de l'embrouilleur de manière à reconstituer la séquence du message.

9 Egaliseur

Un égaliseur auto-adaptatif sera incorporé dans le récepteur. Celui-ci devra pouvoir détecter une perte d'égalisation et rétablir l'égalisation à partir du signal de données normal modulé reçu en ligne, sans déclencher l'émission, par l'émetteur opposé, d'un nouveau signal de synchronisation.

10 Options

Etant doté d'un égaliseur auto-adaptatif et pouvant fonctionner sur des circuits à deux fils, le modem décrit ci-dessus peut être mis en œuvre dans le réseau public à commutation, lequel peut donc servir de liaison de réserve en cas de défaillance du circuit loué.

En pareil cas, pour permettre un recours au réseau public à commutation, diverses options peuvent être prévues pour ce modem, ainsi que pour le fonctionnement sur des circuits loués à deux fils qui nécessitent une protection contre les phénomènes d'écho.

On trouvera des précisions sur ces options dans la Recommandation V.27 *ter*.

11 Les renseignements suivants sont destinés à faciliter la tâche des constructeurs d'équipements.

Aucun réglage de niveau à l'émission ou de la sensibilité à la réception, qui dépendrait de l'opérateur, ne doit être prévu dans ce modem pour données.

En fonctionnement à 4800 bit/s, le spectre de l'énergie de l'émetteur doit avoir une forme telle que, si des signaux de données d'état 1 sont appliqués continuellement à l'entrée de l'embrouilleur, le spectre transmis qui en résulte ait une caractéristique de phase fondamentalement linéaire dans la bande de 1100 à 2500 Hz.

En fonctionnement à 2400 bit/s, le spectre de l'énergie de l'émetteur doit avoir une forme telle que, si des signaux de données d'état 1 sont appliqués continuellement à l'entrée de l'embrouilleur, le spectre transmis qui en résulte ait une caractéristique de phase fondamentalement linéaire dans la bande de 1300 à 2300 Hz.

APPENDICE I

(à la Recommandation V.27 bis)

Générateur de conditionnement de l'égaliseur à deux phases pour un débit de 4800 bit/s

Une convergence rapide de l'égaliseur peut être obtenue plus aisément avec un minimum de circuits lorsqu'on émet exclusivement une fréquence porteuse en phase ou en opposition de phase pendant le conditionnement. Cela implique que les tribits envoyés au modulateur soient exclusivement 001 (phase 0°) ou 111 (phase 180°). Les figures I-1/V.27 bis et I-3/V.27 bis décrivent les circuits nécessaires respectivement à la formation et à la synchronisation de la séquence.

Soit T1 un signal de base de temps égal à 1600 Hz (horloge pour les éléments unitaires des tribits) de niveau élevé pendant une période de 4800 Hz et de faible niveau pendant deux périodes d'horloge de 4800 Hz. T2 est obtenu par inversion du signal T1.

L'entrée à l'embrouilleur est choisie pendant le signal T1, le premier étage à l'embrouilleur est choisi pendant le signal T2; pendant la période où le niveau du signal T2 est élevé, C maintient la sortie à un niveau élevé. Cela peut être réalisé au moyen de circuits comme ceux décrits à la figure I-2/V.27 bis.

Si le signal T1 est maintenu continuellement à un niveau élevé et T2 continuellement à un faible niveau, le fonctionnement normal est rétabli.

Afin d'assurer la régularité du conditionnement, le même schéma doit être toujours envoyé. Pour ce faire, l'entrée des données à l'embrouilleur doit être à l'état de repos pendant le conditionnement et les sept premiers étages à l'embrouilleur doivent recevoir la séquence 0011110 (introduite en commençant par la droite) lors de la première coïncidence de T1 et du signal qui provoque la fin de la période de silence à la sortie de l'émetteur [ce signal est généralement *demande pour émettre* (DPE)].

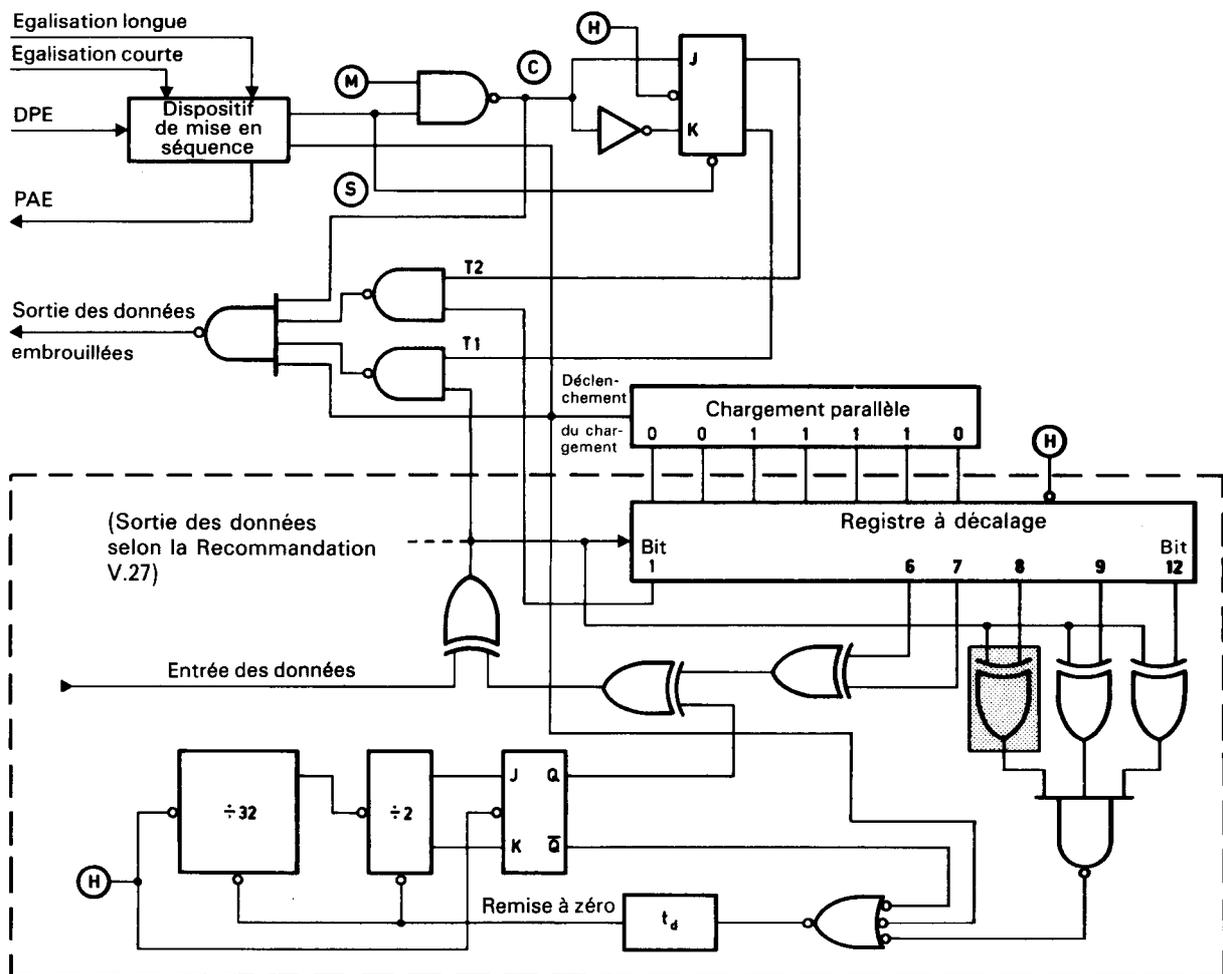
Ce point de départ a été choisi de façon à obtenir d'abord une séquence comportant des oppositions de phase continues de 180° pour permettre l'acquisition rapide du rythme, puis une séquence qui permette une convergence rapide de l'égaliseur.

Pendant les huit intervalles unitaires avant l'état FERMÉ du circuit *prêt à émettre* (PAE), l'embrouilleur doit être commuté sur le fonctionnement normal pour synchroniser le désembrouilleur et être maintenu au repos jusqu'au signal PAE.

Remarque – A 2400 bit/s, il est possible d'appliquer une technique analogue en modifiant la base de temps de manière appropriée, comme le montre le tableau I-1/V.27 bis.

TABLEAU I-1/V.27 bis

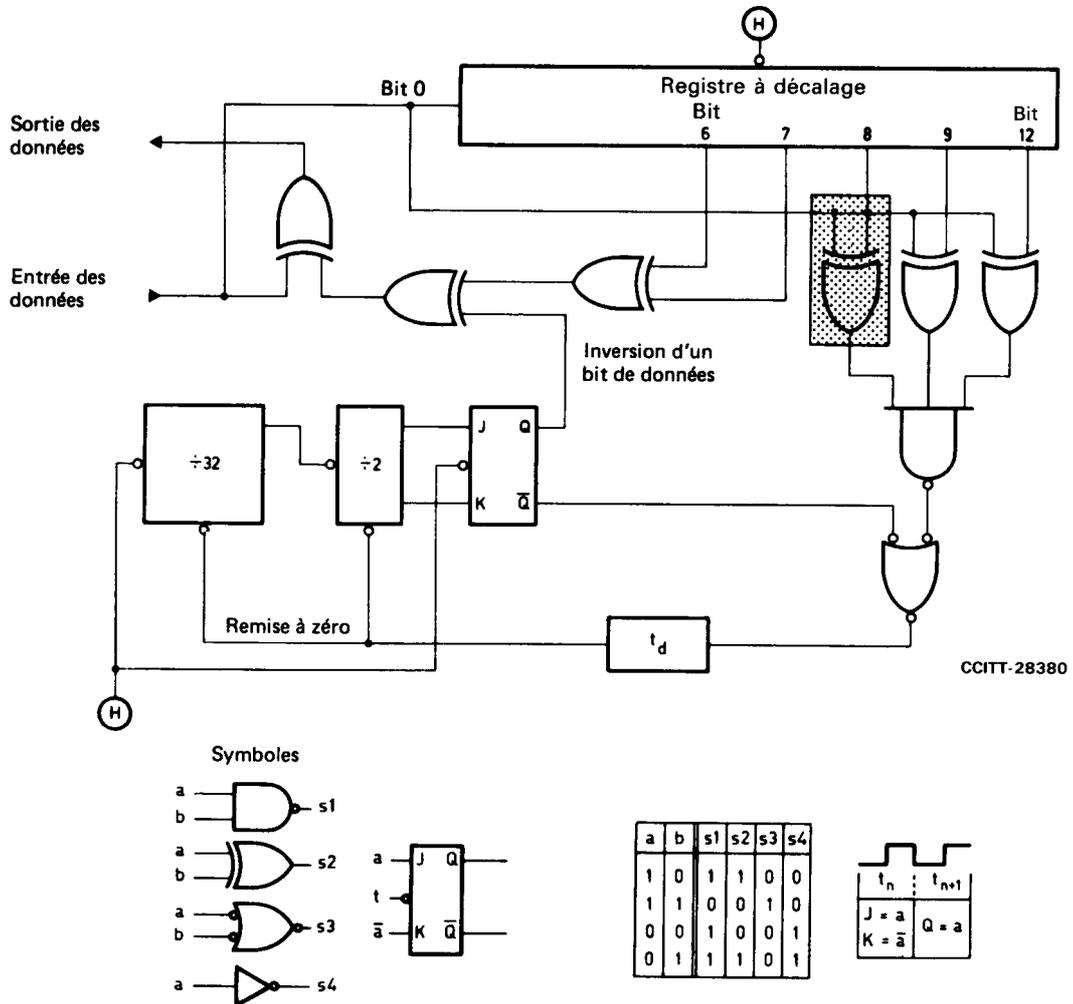
		Segment 2	Segment 3
Horloge \textcircled{H}	i)	3600 Hz	2400 Hz
	ii)	2400 Hz	2400 Hz
Horloge \textcircled{M}	i)	1200 Hz	1200 Hz
	ii)	1200 Hz	1200 Hz



- Remarque 1 – La zone entourée d’une ligne tiretée comprend l’embrouilleur de la Recommandation V.27.
- Remarque 2 – Le rectangle hachuré sert à la protection contre un schéma récurrent de 8 bits.
- Remarque 3 – \textcircled{H} = horloge commandant une rapidité de modulation triple de la valeur nominale.
- Remarque 4 – \textcircled{M} = horloge (1600 Hz) commandant la rapidité de modulation nominale.
- Remarque 5 – Ces schémas sont représentés avec une logique positive.
- Remarque 6 – Les signaux \textcircled{C} et \textcircled{S} ne sont indiqués qu’en vue d’établir une correspondance avec ce qui est représenté à la figure I-3/V.27 bis.

FIGURE I-1/V.27 bis

Exemple de schéma de générateur de séquence et d’embrouilleur pour 4800 bit/s



Remarque 1 – Le rectangle hachuré sert à la protection contre un schéma récurrent de 8 bits.

Remarque 2 – \textcircled{H} représente le signal d'horloge. La transition dans le sens négatif est la transition active.

Remarque 3 – Il y a un retard dû aux circuits métalliques entre une transition négative de \textcircled{H} et la fin de l'état «0» représenté par t_d sur le circuit de non remise à zéro. Le compteur ne tient par conséquent pas compte de la première coïncidence entre le bit 0 et le bit 8 ou le bit 9 ou le bit 12.

FIGURE I-2/V. 27 bis

Exemple de schéma de désembrouilleur

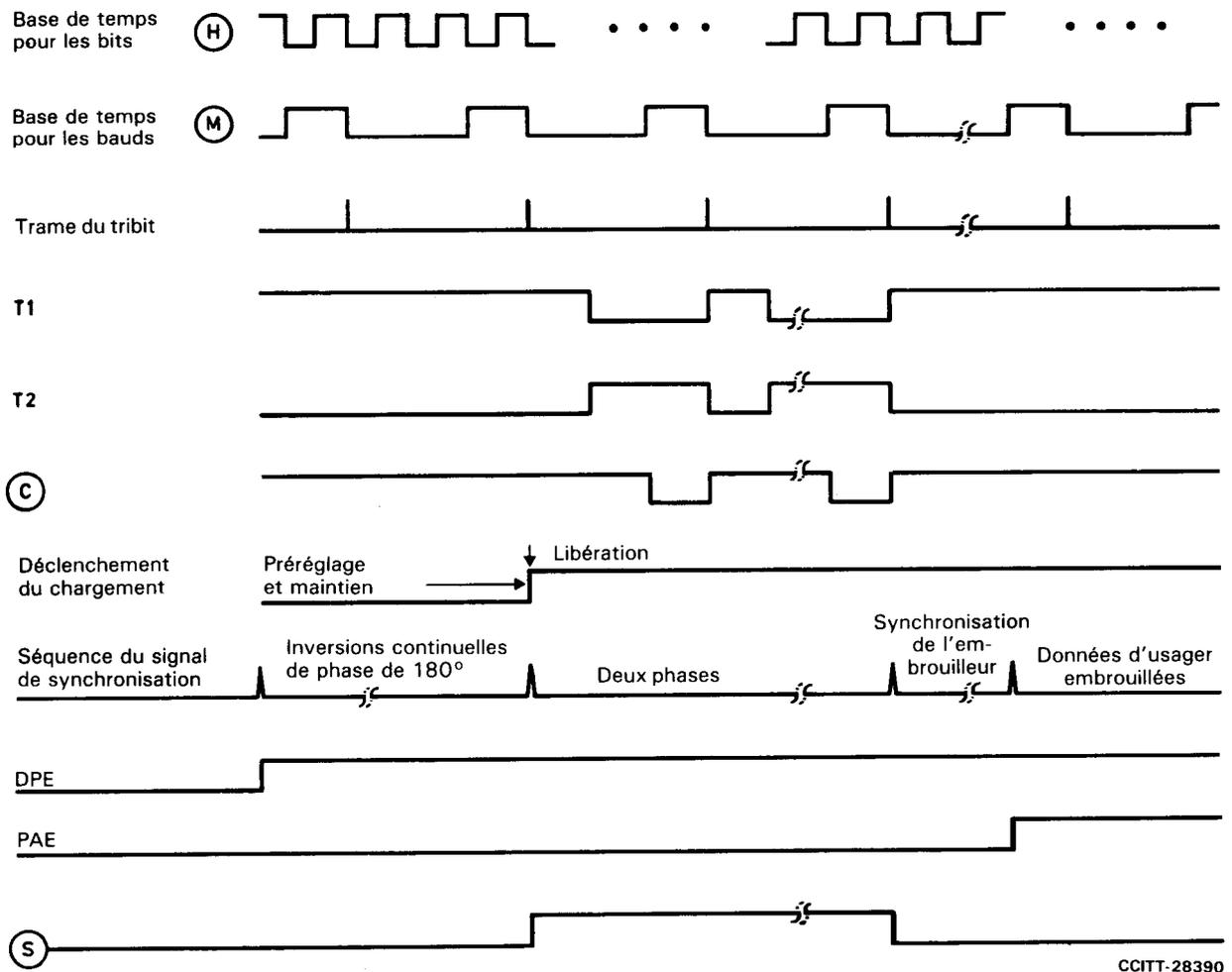


FIGURE I-3/V.27 bis

Séquence du signal de synchronisation à 4800 bit/s (voir la figure I-1/V.27 bis)

Références

- [1] Recommandation du CCITT *Caractéristiques des circuits internationaux loués de qualité spéciale avec adaptation spéciale sur la largeur de bande*, tome IV, Rec. M.1020.
- [2] Recommandation du CCITT *Caractéristiques des circuits internationaux loués de qualité ordinaire*, tome IV, Rec. M.1040.