



UNION INTERNATIONALE DES TÉLÉCOMMUNICATIONS

**UIT-T**

**V.27 *ter***

SECTEUR DE LA NORMALISATION  
DES TÉLÉCOMMUNICATIONS  
DE L'UIT

**COMMUNICATIONS DE DONNÉES  
SUR LE RÉSEAU TÉLÉPHONIQUE**

---

**MODEM NORMALISÉ À 4800/2400 bit/s  
DESTINÉ AU RÉSEAU TÉLÉPHONIQUE  
GÉNÉRAL AVEC COMMUTATION**

**Recommandation UIT-T V.27 *ter***

(Extrait du *Livre Bleu*)

---

## NOTES

1 La Recommandation V.27 *ter* de l'UIT-T a été publiée dans le fascicule VIII.1 du Livre Bleu. Ce fichier est un extrait du Livre Bleu. La présentation peut en être légèrement différente, mais le contenu est identique à celui du Livre Bleu et les conditions en matière de droits d'auteur restent inchangées (voir plus loin).

2 Dans la présente Recommandation, le terme «Administration» désigne indifféremment une administration de télécommunication ou une exploitation reconnue.

© UIT 1988, 1993

Droits de reproduction réservés. Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'UIT.

## Recommandation V.27 ter

### MODEM NORMALISÉ À 4800/2400 bit/s DESTINÉ AU RÉSEAU TÉLÉPHONIQUE GÉNÉRAL AVEC COMMUTATION

(Genève, 1976; modifiée à Genève, 1980  
et à Malaga-Torremolinos, 1984)

Le CCITT,

*considérant*

(a) qu'il existe une demande pour la transmission de données à 4800 bit/s sur le réseau téléphonique général à commutation;

(b) que, dans certains pays, la plupart des communications établies sur le réseau téléphonique général à commutation peuvent être utilisées pour transmettre des données à 4800 bit/s;

(c) que la proportion des communications internationales établies sur le réseau téléphonique général à commutation capables de transmettre des données à 4800 bit/s est plus faible;

(d) que d'autres communications internationales établies sur le réseau téléphonique général à commutation peuvent néanmoins être utilisées pour transmettre des données à 2400 bit/s en ayant recours à la possibilité inhérente de repli,

*recommande à l'unanimité*

qu'il convient d'autoriser la transmission à 4800 bit/s sur le réseau téléphonique général à commutation. Il n'est pas possible de garantir une transmission fiable sur toutes les communications ni sur toutes les relations et il y a lieu, avant d'assurer un service, de procéder à des essais entre les points terminaux les plus probables. Le CCITT compte que les progrès de la technique au cours des prochaines années aboutiront à la mise au point de modems de conception plus perfectionnée, permettant ainsi d'assurer une transmission fiable sur une beaucoup plus grande proportion des communications. Les dispositions de la présente Recommandation doivent être considérées comme provisoires, le but recherché étant de permettre que le service soit assuré là où les besoins sont les plus urgents et sur les relations où il y a lieu de s'attendre qu'il puisse être satisfaisant;

que les caractéristiques du modem destiné à la transmission de données à 4800 bit/s sur le réseau téléphonique général à commutation devront être provisoirement les suivantes:

#### **1 Caractéristiques principales**

- a) utilisation du débit binaire de 4800 bit/s, la modulation avec codage différentiel octovalent étant celle que spécifie la Recommandation V.27;
- b) possibilité de fonctionnement au débit réduit de 2400 bit/s, la modulation avec codage différentiel quadrivalent étant celle de la solution A que spécifie la Recommandation V.26;
- c) création d'une voie de retour fonctionnant à des rapidités de modulation pouvant aller jusqu'à 75 bauds, l'utilisation de cette voie étant facultative;
- d) inclusion d'un égaliseur auto-adaptatif.

#### **2 Signaux transmis en ligne à 4800 et 2400 bit/s**

##### *2.1 Fréquence porteuse*

La fréquence porteuse doit être de  $1800 \pm 1$  Hz. Aucune fréquence pilote distincte n'est prévue. Les niveaux de puissance utilisés doivent être conformes aux spécifications de la Recommandation V.2.

### 2.1.1 Spectre à 4800 bit/s

Le spectre d'énergie sera en cosinus surélevé à 50% avec équirépartition entre le récepteur et l'émetteur. Par rapport à la densité maximale d'énergie entre 1000 et 2600 Hz, la densité d'énergie à 1000 Hz et à 2600 Hz subira un affaiblissement de  $3 \pm 2$  dB.

### 2.1.2 Spectre à 2400 bit/s

Le spectre d'énergie minimal sera en cosinus surélevé à 50% avec équirépartition entre le récepteur et l'émetteur. Par rapport à la densité maximale d'énergie entre 1200 et 2400 Hz, la densité d'énergie à 1200 Hz et à 2400 Hz subira un affaiblissement de  $3 \pm 2$  dB.

## 2.2 Répartition de la puissance entre les voies d'aller et de retour

Une répartition égale entre la voie d'aller et la voie de retour (si elle existe) est recommandée.

### 2.3 Fonctionnement à 4800 bit/s

#### 2.3.1 Débit binaire et rapidité de modulation

Le débit binaire sera de 4800 bit/s  $\pm$  0,01%, c'est-à-dire que la rapidité de modulation sera de 1600 bauds  $\pm$  0,01%.

#### 2.3.2 Codage des bits de données

Le train de données à transmettre est divisé en groupes de trois bits consécutifs (tribits). Chaque tribit est codé sous la forme d'un changement de phase par rapport à la phase du tribit qui le précède et constitue un élément de signal (voir le tableau 1/V.27 ter). Au récepteur, les tribits sont décodés et les bits sont remis dans leur ordre correct. Le chiffre de gauche du tribit est celui qui se présente le premier dans le train de données, lorsqu'il entre dans la partie modulateur du modem, en aval de l'embrouilleur.

TABLEAU 1/V.27 ter

Tribit			Changement de phase (voir la remarque)
0	0	1	0°
0	0	0	45°
0	1	0	90°
0	1	1	135°
1	1	1	180°
1	1	0	225°
1	0	0	270°
1	0	1	315°

*Remarque* – Le changement de phase est le décalage de phase réel en ligne dans la région de transition du signal située entre le milieu d'un élément de signal et le milieu de l'élément suivant.

### 2.4 Fonctionnement à 2400 bit/s

#### 2.4.1 Débit binaire et rapidité de modulation

Le débit binaire sera de 2400 bit/s  $\pm$  0,01%, c'est-à-dire que la rapidité de modulation sera de 1200 bauds  $\pm$  0,01%.

## 2.4.2 Codage des bits de données

Au débit de 2400 bit/s, le train de données est divisé en groupes de deux bits (dibits). Chaque dibit est codé sous la forme d'un changement de phase par rapport à la phase du dibit qui le précède et constitue un élément de signal (voir le tableau 2/V.27 ter). Au récepteur, les dibits sont décodés et les bits sont remis dans leur ordre correct. Le chiffre de gauche du dibit est celui qui se présente le premier dans le train de données, lorsqu'il entre dans la partie modulateur du modem, en aval de l'embrouilleur.

TABLEAU 2/V.27 ter

Dibit	Changement de phase (voir la remarque)
00	0°
01	90°
11	180°
10	270°

*Remarque* – Le changement de phase est le décalage de phase réel en ligne dans la région de transition du signal située entre le milieu d'un élément de signal et le milieu de l'élément suivant.

## 2.5 Séquences de fonctionnement

### 2.5.1 Séquence de passage à l'état FERMÉ

Pendant la durée de l'intervalle entre les passages des circuits 105 et 106 de l'état OUVERT à l'état FERMÉ, des signaux de synchronisation doivent – pour conditionner correctement le modem de réception – être engendrés par le modem d'émission. Ces signaux ont pour but d'assurer la détection de la porteuse, la commande automatique de gain si nécessaire, la synchronisation de base de temps, la convergence de l'égaliseur et la synchronisation du désambrouilleur.

Les signaux de synchronisation sont définis sous forme de deux séquences distinctes, la séquence longue étant utilisée une fois dès que la connexion est établie et la séquence courte pour le renversement de la transmission ultérieure au cours duquel la séquence de conditionnement d'égaliseur sert à mettre à jour et à préciser la convergence de ce dernier.

Deux séquences sont définies:

- une séquence courte pour le fonctionnement avec renversement,
- une séquence longue lors de l'établissement de la connexion.

La séquence b) n'est utilisée qu'après le premier passage du circuit 105 de l'état OUVERT à l'état FERMÉ à la suite du passage du circuit 107 de l'état OUVERT à l'état FERMÉ ou au moment du passage du circuit 107 de l'état OUVERT à l'état FERMÉ si le circuit 105 est déjà à l'état FERMÉ. Par la suite, après chaque passage du circuit 105 de l'état OUVERT à l'état FERMÉ, on applique la séquence a).

Pour les deux débits, les séquences sont divisées en 5 segments, comme indiqué au tableau 3/V.27 ter.

2.5.1.1 Le segment 3 se compose d'inversions de phase continues de 180° pendant 14 intervalles unitaires (SI) dans le cas de la séquence a) et de 50 intervalles unitaires (SI) dans celui de la séquence b).

2.5.1.2 Le segment 4 se compose d'une séquence de conditionnement de l'égaliseur constituée par une séquence pseudo-aléatoire engendrée par le polynôme:

$$1 + x^{-6} + x^{-7}$$

Pour le fonctionnement à 4800 bit/s et à 2400 bit/s, on obtient le schéma de conditionnement de l'égaliseur en utilisant chaque troisième bit de la séquence pseudo-aléatoire définie par le polynôme. Lorsque la séquence ainsi obtenue contient un ZERO, la transmission s'effectue avec un changement de phase nul; lorsqu'elle contient un UN, la

transmission s'effectue avec un changement de phase de 180°. Le segment 4 commence par la séquence 0°, 180°, 180°, 180°, 180°, 180°, 0°, ..., selon la séquence obtenue; il se poursuit pendant 58 intervalles unitaires (SI) dans le cas de la séquence a) et 1074 intervalles unitaires (SI) avec la séquence b). L'appendice I donne un exemple détaillé de génération de séquence.

2.5.1.3 Le segment 5 commence la transmission selon le codage décrit aux § 2.3 et 2.4 avec application continue de l'état 1 à l'entrée de l'embrouilleur de données. Le segment 5 se compose de 8 intervalles unitaires (SI). A la fin de ce segment, le circuit 106 passe à l'état FERMÉ et les données de l'utilisateur sont appliquées à l'entrée de l'embrouilleur de données.

2.5.1.4 Le tableau 4/V.27 ter indique les séquences de changement de phase pour les segments 4 et 5, à 4800 bit/s et 2400 bit/s.

TABLEAU 3/V.27 ter

	Segment 1	Segment 2	Segment 3	Segment 4	Segment 5	Total des segments 1, 2, 3, 4 et 5	
Type de signal en ligne	Porteuse non modulée	Aucune énergie transmise	Inversions continues de phase de 180°	Séquence de conditionnement de l'égaliseur: 2 phases 0° et 180°	Emission continue de "1" embrouillés	Durée nominale totale de la séquence de passage à l'état FERMÉ	
						4800 bit/s	2400 bit/s
Protection contre l'écho de la personne qui parle	185 ms à 200 ms	20 ms à 25 ms	a) 14 SI b) 50 SI	a) 58 SI b) 1074 SI	8 SI	a) 265 ms b) 923 ms	a) 281 ms b) 1158 ms
Sans protection	0 ms	0 ms	a) 14 SI b) 50 SI	a) 58 SI b) 1074 SI	8 SI	a) 50 ms b) 708ms	a) 66 ms b) 943 ms

SI = Intervalle unitaire du débit ou tritbit. Les durées des segments 3, 4 et 5 sont exprimées en nombre d'intervalles unitaires, ces valeurs sont les mêmes dans le mode de repli.

TABLEAU 4/V.27 ter<sup>a)</sup>

Débit binaire		Segment 4	Segment 5
4800 bit/s	Changement de phase PSA <sup>b)</sup>	0° 180° 180° 180° 180° 180° 0° . . . . . 180° 180° 0° 0° 011 101 101 100 100 101 001 . . . . . 110 100 010 001	270° 225° 315° 90° 45° 45° 180° 180° 100 110 101 010 000 000 111 111
2400 bit/s	Changement de phase PSA <sup>b)</sup>	0° 180° 180° 180° 180° 180° 0° . . . . . 180° 180° 0° 0° 011 101 101 100 100 101 001 . . . . . 110 100 010 001	270° 90° 270° 270° 270° 270° 0° 0° 10 01 10 10 10 10 00 00
	Durée	← 58 ou 1074 SI → (Les PSA et les séquences unitaires initiales et finales sont les mêmes pour les deux durées)	← 8 SI →

<sup>a)</sup> La remarque figurant à la fin de l'appendice I explique de quelle façon les variantes de séquences pour les segments 4 et 5 peuvent être produites.

<sup>b)</sup> PSA désigne la séquence pseudo-aléatoire définie au § 2.5.1.2. Les bits soulignés déterminent les changements de phase.

### 2.5.2 Séquence de passage à l'état OUVERT

Le signal en ligne émis après le passage du circuit 105 de l'état FERMÉ à l'état OUVERT est divisé en deux segments, comme indiqué au tableau 5/V.27 ter.

TABLEAU 5/V.27 ter

	Segment A	Segment B	Durée totale du temps de passage à l'état OUVERT
Type de signal en ligne	Données restantes suivies de "1" émis continuellement et embrouillés	Aucune énergie transmise	Total des segments A et B
Avec ou sans protection contre l'écho de la personne qui parle	5 ms à 10 ms	20 ms	25 ms à 30 ms

S'il se produit un passage de l'état OUVERT à l'état FERMÉ du circuit 105 pendant la séquence de passage à l'état OUVERT, il n'en sera pas tenu compte jusqu'à la fin de cette séquence.

De plus, si le circuit 105 passe à l'état FERMÉ pendant la réception du segment A de la séquence de passage à l'état OUVERT, l'émission de la séquence de passage à l'état FERMÉ peut, à titre facultatif, commencer dans un délai maximal inférieur à 20 ms après la fin de la réception du segment A.

### 3 Tolérance sur la fréquence du signal reçu

Etant donné que la tolérance sur la fréquence porteuse de l'émetteur est de  $\pm 1$  Hz et en admettant une dérive maximale de  $\pm 6$  Hz sur la connexion entre modems, le récepteur doit pouvoir accepter des erreurs d'au moins  $\pm 7$  Hz sur les fréquences reçues.

### 4 Voie de retour

La rapidité de modulation, les fréquences caractéristiques, les tolérances, etc., sont celles que recommande la Recommandation V.23 pour la voie de retour. Cela n'exclut pas l'utilisation d'une voie de retour plus rapide pouvant fonctionner à 75 bauds et plus, et dont les fréquences caractéristiques sont les mêmes que celles de la voie de retour de la Recommandation V.23.

### 5 Circuits de jonction

#### 5.1 Liste des circuits de jonction

On trouvera au tableau 6/V.27 ter des circuits de jonction indispensables pour l'utilisation du modem sur le réseau téléphonique public à commutation lorsque les équipements terminaux sont équipés pour l'appel manuel ou pour l'appel ou la réponse automatique.

#### 5.2 Temps de réponse des circuits 106, 109, 121 et 122 (voir les tableaux 7/V.27 ter et 8/V.27 ter)

##### 5.2.1 Circuit 109

Le circuit 109 doit passer à l'état FERMÉ lorsque la synchronisation est achevée et avant l'apparition des données de l'utilisateur sur le circuit 104. Le circuit 109 ne peut pas passer à l'état FERMÉ pendant la réception de la porteuse non modulée lors de l'application de la protection facultative contre l'écho de la personne qui parle.

TABLEAU 6/V.27 *ter*

Circuit de jonction		Voie de transmission d'aller (données) – système unidirectionnel (voir la remarque 1)				Voie de transmission d'aller (données) système bidirectionnel (voir la remarque 1)	
N°	Désignation	Sans voie de retour		Avec voie de retour		Sans voie de retour	Avec voie de retour
		Extrémité d'émission	Extrémité de réception	Extrémité d'émission	Extrémité de réception		
102	Terre de signalisation ou retour commun	X	X	X	X	X	X
103	Emission des données	X		X		X	X
104	Réception des données		X		X	X	X
105	Demande pour émettre	X		X		X	X
106	Prêt à émettre	X		X		X	X
107	Poste de données prêt	X	X	X	X	X	X
108/1 ou	Connectez le poste de données sur la ligne						
108/2 (voir la remarque 2)	Équipement terminal de données prêt	X	X	X	X	X	X
109	Détecteur du signal de ligne reçu sur la voie de données		X		X	X	X
111	Sélecteur du débit binaire (origine ETTD)	X	X	X	X	X	X
113	Base de temps pour les éléments de signal à l'émission (origine ETTD)	X		X		X	X
114	Base de temps pour les éléments de signal à l'émission (origine ETCD)	X		X		X	X
115	Base de temps pour les éléments de signal à la réception (origine ETCD)		X		X	X	X
118	Emission des données sur la voie de retour				X		X
119	Réception des données sur la voie de retour			X			X
120	Transmettez les signaux de ligne sur la voie de retour						X
121	Voie de retour prête				X		X
122	Détecteur du signal reçu en ligne sur la voie de retour			X			X
125	Indicateur d'appel	X	X	X	X	X	X

*Remarque 1* – Tous les circuits de jonction indispensables et tous autres circuits mis en œuvre doivent être conformes aux spécifications fonctionnelles et satisfaire aux directives pour l'exploitation énoncées dans la Recommandation V.24. Tous les circuits de jonction marqués "X" doivent être convenablement terminés dans l'ETTD et l'ETCD conformément aux spécifications de la Recommandation pertinente relative aux caractéristiques électriques (voir le § 6).

*Remarque 2* – Ce circuit devra pouvoir fonctionner comme circuit 108/1 *connectez le poste de données sur la ligne* ou comme circuit 108/2 *équipement terminal de données prêt*, selon les conditions d'utilisation.



TABLEAU 7/V.27 ter

Temps de réponse pour fonctionnement à 4800 bit/s		
<i>Circuit 106</i>	Avec protection contre l'écho de la personne qui parle	Sans protection contre l'écho de la personne qui parle
OUVERT à FERMÉ	a) $215 \pm 10$ ms + 50 ms b) $215 \pm 10$ ms + 708 ms	a) 50 ms b) 708 ms
FERMÉ à OUVERT	$\leq 2$ ms	$\leq 2$ ms
<i>Circuit 109</i>		
OUVERT à FERMÉ	Voir le § 5.2.1	Voir le § 5.2.1
FERMÉ à OUVERT	5 à 15 ms	5 à 15 ms
<i>Circuit 121</i>		
OUVERT à FERMÉ	80 à 160 ms	80 à 160 ms
FERMÉ à OUVERT	$\leq 2$ ms	$\leq 2$ ms
<i>Circuit 122</i>		
OUVERT à FERMÉ	< 80 ms	< 80 ms
FERMÉ à OUVERT	15 à 80 ms	15 à 80 ms

TABLEAU 8/V.27 ter

Temps de réponse pour fonctionnement à 2400 bit/s		
<i>Circuit 106</i>	Avec protection contre l'écho de la personne qui parle	Sans protection contre l'écho de la personne qui parle
OUVERT à FERMÉ	a) $215 \pm 10$ ms + 67 ms b) $215 \pm 10$ ms + 944 ms	a) 67 ms b) 944 ms
FERMÉ à OUVERT	$\leq 2$ ms	$\leq 2$ ms
<i>Circuit 109</i>		
OUVERT FERMÉ	Voir le § 5.2.1	Voir le § 5.2.1
FERMÉ à OUVERT	5 à 15 ms	5 à 15 ms

Remarque 1 – a) et b) se réfèrent aux séquences a) et b) définies au § 2.5.1.

Remarque 2 – Les caractéristiques et procédures, en particulier dans le cas de l'appel et de la réponse automatiques, sont provisoires et leur étude doit être poursuivie.

### 5.2.2 Circuit 106

Les temps de réponse du circuit 106 sont définis comme les durées qui s'écoulent entre l'instant où l'état FERMÉ ou l'état OUVERT apparaît:

- sur le circuit 105 et l'instant où l'état FERMÉ ou l'état OUVERT correspondant apparaît sur le circuit 106, ou
- sur le circuit 107 (lorsque le circuit 105 est déjà à l'état FERMÉ) et l'instant où l'état FERMÉ ou l'état OUVERT correspondant apparaît sur le circuit 106.

### 5.3 Seuil du détecteur du signal de ligne reçu sur la voie de données et du détecteur de signal de ligne reçu sur la voie de retour

Niveau du signal reçu en ligne aux bornes du modem, pour tous les types de communications, c'est-à-dire les circuits établis dans le réseau téléphonique public avec commutation et les circuits téléphoniques à deux fils loués sans commutation:

- supérieur à  $-43$  dBm: circuits 109/122 à l'état FERMÉ
- inférieur à  $-48$  dBm: circuits 109/122 à l'état OUVERT

L'état des circuits 109 et 122 pour les niveaux compris entre  $-43$  et  $-48$  dBm n'est pas spécifié, exception faite de ce que les détecteurs de signaux doivent présenter un effet d'hystérésis tel que le niveau correspondant au passage de l'état OUVERT à l'état FERMÉ soit supérieur d'au moins 2 dB au niveau correspondant au passage de l'état FERMÉ à l'état OUVERT.

Lorsque les conditions de transmission sont connues et le permettent, il peut être souhaitable, lors de l'installation du modem, de prendre pour niveaux de réponse des valeurs telles que le détecteur du signal de ligne reçu soit moins sensible (par exemple, respectivement  $-33$  dBm et  $-38$  dBm).

### 5.4 Verrouillage en mode semi-duplex

L'ETCD, lorsqu'il fonctionne en mode semi-duplex sur une ligne à deux fils, doit maintenir les circuits suivants (s'ils sont utilisés):

- a) le circuit 104 à l'état binaire 1 et le circuit 109 à l'état OUVERT lorsque le circuit 105 est à l'état FERMÉ et, lorsqu'il convient de protéger le circuit 104 contre les signaux erronés, pendant une période de  $150 \pm 25$  ms après le passage du circuit 105 de l'état FERMÉ à l'état OUVERT. L'emploi de ce délai supplémentaire est facultatif et dépend de considérations relatives au système;
- b) le circuit 119 à l'état binaire 1 et le circuit 122 à l'état OUVERT lorsque le circuit 120 est à l'état FERMÉ et, lorsqu'il convient de protéger le circuit 119 contre les signaux erronés, pendant un certain intervalle de temps après le passage du circuit 120 de l'état FERMÉ à l'état OUVERT. La durée de cet intervalle de temps sera déterminée ultérieurement. L'emploi de ce temps de propagation supplémentaire est facultatif, et dépend de considérations relatives au système.

### 5.5 Condition de dérangement des circuits de jonction

(Voir le § 7 de la Recommandation V.28, pour la correspondance avec les types de détection des défaillances des récepteurs.)

5.5.1 L'ETTD doit interpréter un dérangement sur le circuit 107 comme un état OUVERT, en appliquant la détection de défaillance de type 1.

5.5.2 L'ETCD doit interpréter un dérangement sur les circuits 105 et 108 comme un état OUVERT, en appliquant la détection de défaillance de type 1.

5.5.3 Tous les autres circuits, non mentionnés ci-dessus, peuvent utiliser la détection de défaillance des types 0 ou 1.

## 6 Caractéristiques électriques des circuits de jonction

Il est recommandé d'utiliser les caractéristiques électriques de la Recommandation V.28, ainsi que le plan d'affectation des broches du connecteur spécifié dans la norme ISO 2110.

*Remarque* – Les constructeurs pourront noter que l'objectif à long terme consiste à remplacer les caractéristiques électriques spécifiées dans la Recommandation V.28 et que la Commission d'études XVII a accepté d'entreprendre, pour application aux Recommandations de la série V, l'étude d'une jonction entièrement symétrique plus efficace qui ramènera à un minimum le nombre des circuits de jonctions.

## 7 Inclusion d'une horloge

Il convient d'inclure des horloges dans le modem pour fournir le rythme sur les éléments de signal à l'émission à l'équipement terminal de données (circuit 114) et le rythme des éléments de signal au récepteur (circuit 115). On peut également choisir de former le rythme sur les éléments de signal à l'émission dans l'équipement terminal des données et de le transférer au modem par l'intermédiaire du circuit 113.

## 8 Egaliseur

Un égaliseur auto-adaptatif sera incorporé dans le récepteur.

## 9 Embrouilleur

Un embrouilleur-désembrouilleur à autosynchronisation comportant un polynôme de génération:

$$1 + x^{-6} + x^{-7}$$

ainsi que des dispositifs supplémentaires de protection contre l'apparition des schémas récurrents de 1, 2, 3, 4, 6, 8, 9 et 12 bits doit être inclus dans ce modem. La figure I-2/V.27 *ter* montre une disposition logique appropriée (voir la remarque). L'embrouilleur-désembrouilleur est du même type que celui que spécifie la Recommandation V.27, mais il est doté de circuits supplémentaires destinés au contrôle des schémas récurrents de 8 bits.

*Remarque* – Les figures I-1/V.27 *ter* et I-2/V.27 *ter* ne sont données qu'à titre indicatif, car en utilisant une autre technique la disposition logique en serait peut-être différente.

A l'émetteur, l'embrouilleur doit diviser effectivement le polynôme de message, dont la séquence de données d'entrée représente les coefficients dans l'ordre décroissant, par le polynôme générateur de l'embrouilleur pour former la séquence de données à transmettre; au récepteur, le polynôme reçu, dont la séquence de données représente les coefficients, dans l'ordre décroissant, doit être multiplié par le polynôme générateur de l'embrouilleur de manière à reconstituer la séquence du message.

**10** Lorsqu'il est nécessaire de neutraliser les dispositifs de protection contre l'écho, il est recommandé de suivre les procédures spécifiées dans la Recommandation V.25.

**11** Le renseignement suivant est destiné à faciliter la tâche des constructeurs d'équipements.

Aucun réglage de niveau à l'émission ou de la sensibilité à la réception, qui dépendrait de l'opérateur, ne doit être prévu dans ce modem pour données.

En fonctionnement à 4800 bit/s, le spectre de l'énergie de l'émetteur doit avoir une forme telle que, si des signaux de données d'état 1 sont appliqués continuellement à l'entrée de l'embrouilleur, le spectre transmis qui en résulte ait une caractéristique de phase fondamentalement linéaire dans la bande de 1100 à 2500 Hz.

En fonctionnement à 2400 bit/s, le spectre de l'énergie de l'émetteur doit avoir une forme telle que, si des signaux de données d'état 1 sont appliqués continuellement à l'entrée de l'embrouilleur, le spectre transmis qui en résulte ait une caractéristique de phase fondamentalement linéaire dans la bande de 1300 à 2300 Hz.

## APPENDICE I

(à la Recommandation V.27 *ter*)

### Générateur de conditionnement de l'égaliseur à deux phases pour un débit de 4800 bit/s

Une convergence rapide de l'égaliseur peut être obtenue plus aisément avec un minimum de circuits lorsqu'on émet exclusivement une fréquence porteuse en phase ou en opposition de phase pendant le conditionnement. Cela implique que les tribits envoyés au modulateur soient exclusivement 001 (phase 0°) ou 111 (phase 180°). Les figures I-1/V.27 *ter* et I-3/V.27 *ter* décrivent les circuits nécessaires respectivement à la formation et à la synchronisation de la séquence.

Soit T1 un signal de base de temps égal à 1600 Hz (horloge pour les éléments unitaires des tribits) de niveau élevé pendant une période de 4800 Hz et de faible niveau pendant deux périodes d'horloge de 4800 Hz. T2 est obtenu par inversion du signal T1.

L'entrée à l'embrouilleur est choisie pendant le signal T1, le premier étage de l'embrouilleur est choisi pendant le signal T2; pendant la période où le niveau du signal T2 est élevé, C maintient la sortie à un niveau élevé. Cela peut être réalisé au moyen de circuits comme ceux décrits à la figure I-2/V.27 *ter*.

Si le signal T1 est maintenu continuellement à un niveau élevé et T2 continuellement à un faible niveau, le fonctionnement normal est rétabli.

Afin d'assurer la régularité du conditionnement, le même schéma doit être toujours envoyé. Pour ce faire, l'entrée des données à l'embrouilleur doit être à l'état de repos pendant le conditionnement et les sept premiers étages de l'embrouilleur doivent recevoir la séquence 0011110 (introduite en commençant par la droite) lors de la première coïncidence de T1 et du signal qui provoque la fin de la période de silence à la sortie de l'émetteur [ce signal est généralement *demande pour émettre* (DPE)].

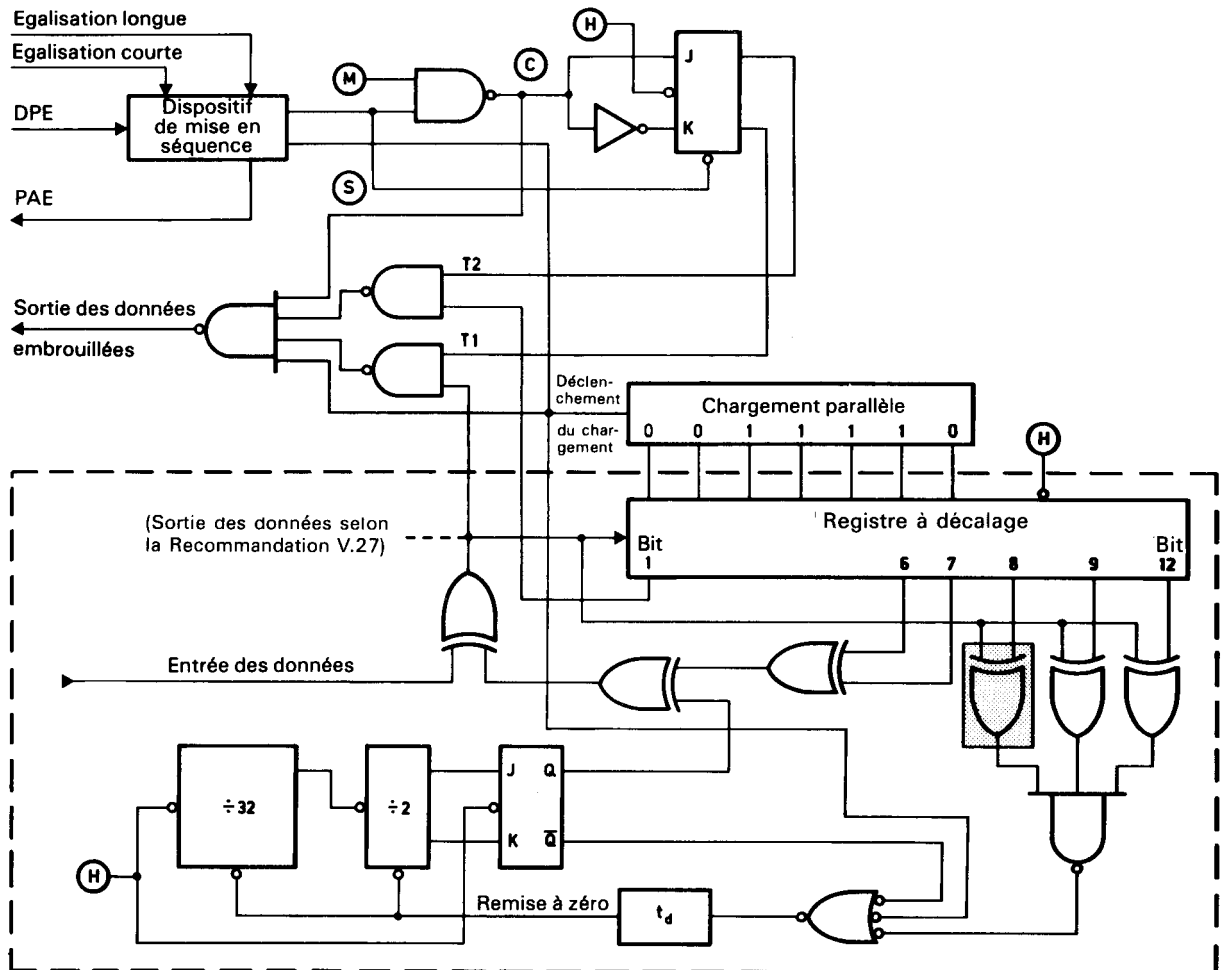
Ce point de départ a été choisi de façon à obtenir d'abord une séquence comportant des oppositions de phase continues de 180° pour permettre l'acquisition rapide du rythme, puis une séquence qui permette une convergence rapide de l'égaliseur.

Pendant les huit intervalles unitaires avant l'état FERMÉ du circuit *prêt à émettre* (PAE), l'embrouilleur doit être commuté sur le fonctionnement normal pour synchroniser le désembrouilleur et être maintenu au repos jusqu'au signal PAE.

*Remarque* – A 2400 bit/s, il est possible d'appliquer une technique analogue en modifiant la base de temps de manière appropriée, comme le montre le tableau I-1/V.27 *ter*.

TABLEAU I-1/V.27 *ter*

	Segment 4	Segment 5
Horloge (H)	3600 Hz	2400 Hz
Horloge (M)	1200 Hz	1200 Hz



CCITT-26745

Remarque 1 – La zone entourée d'une ligne tiretée comprend l'embrouilleur de la Recommandation V.27.

Remarque 2 – Le rectangle hachuré sert à la protection contre un schéma récurrent de 8 bits.

Remarque 3 – (H) = horloge commandant une rapidité de modulation triple de la valeur nominale.

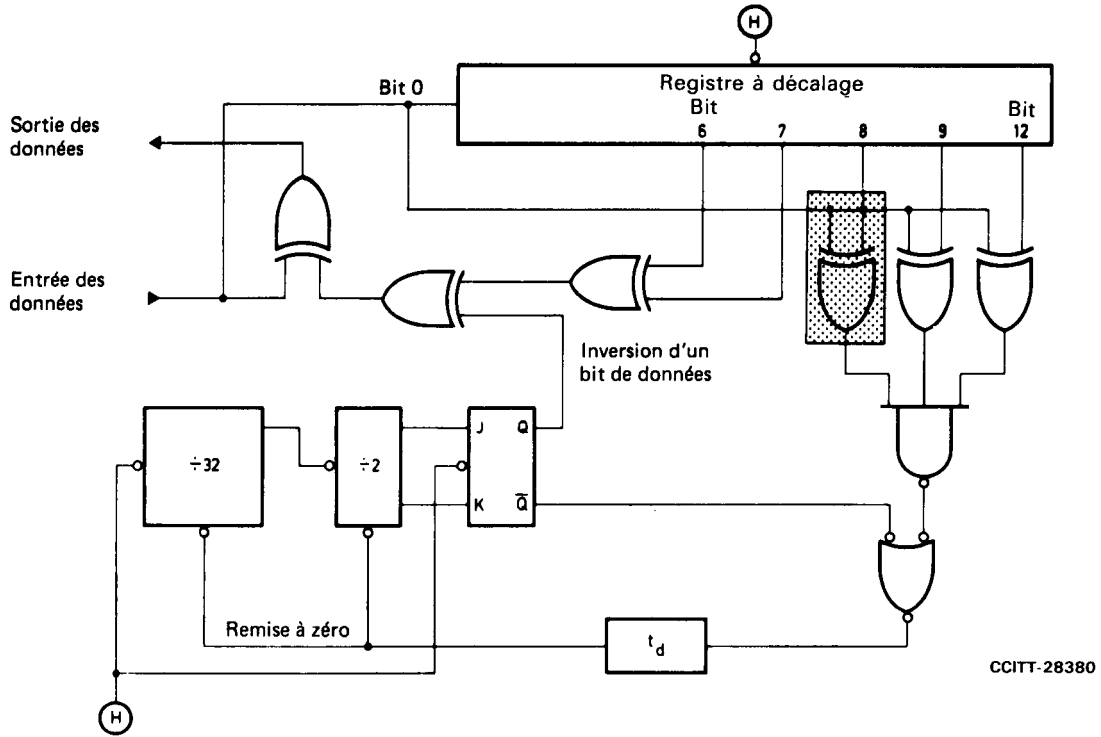
Remarque 4 – (M) = horloge (1600 Hz) commandant la rapidité de modulation nominale.

Remarque 5 – Ces schémas sont représentés avec une logique positive.

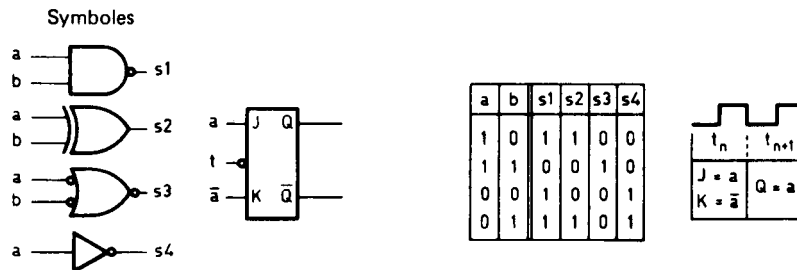
Remarque 6 – Les signaux (C) et (S) ne sont indiqués qu'en vue d'établir une correspondance avec ce qui est représenté à la figure I-3/V.27 ter.

FIGURE I-1/V.27 ter

Exemple de schéma de générateur de séquence et d'embrouilleur pour 4800 bit/s



CCITT-28380



Remarque 1 – Le rectangle hachuré sert à la protection contre un schéma récurrent de 8 bits.

Remarque 2 – (H) représente le signal d'horloge. La transition dans le sens négatif est la transition active.

Remarque 3 – Il y a un retard dû aux circuits métalliques entre une transition négative de (H) et la fin de l'état «0» représenté par  $t_d$  sur le circuit de non remise à zéro. Le compteur ne tient par conséquent pas compte de la première coïncidence entre le bit 0 et le bit 8 ou le bit 9 ou le bit 12.

FIGURE I-2/V. 27 ter

Exemple de schéma de désembrouilleur

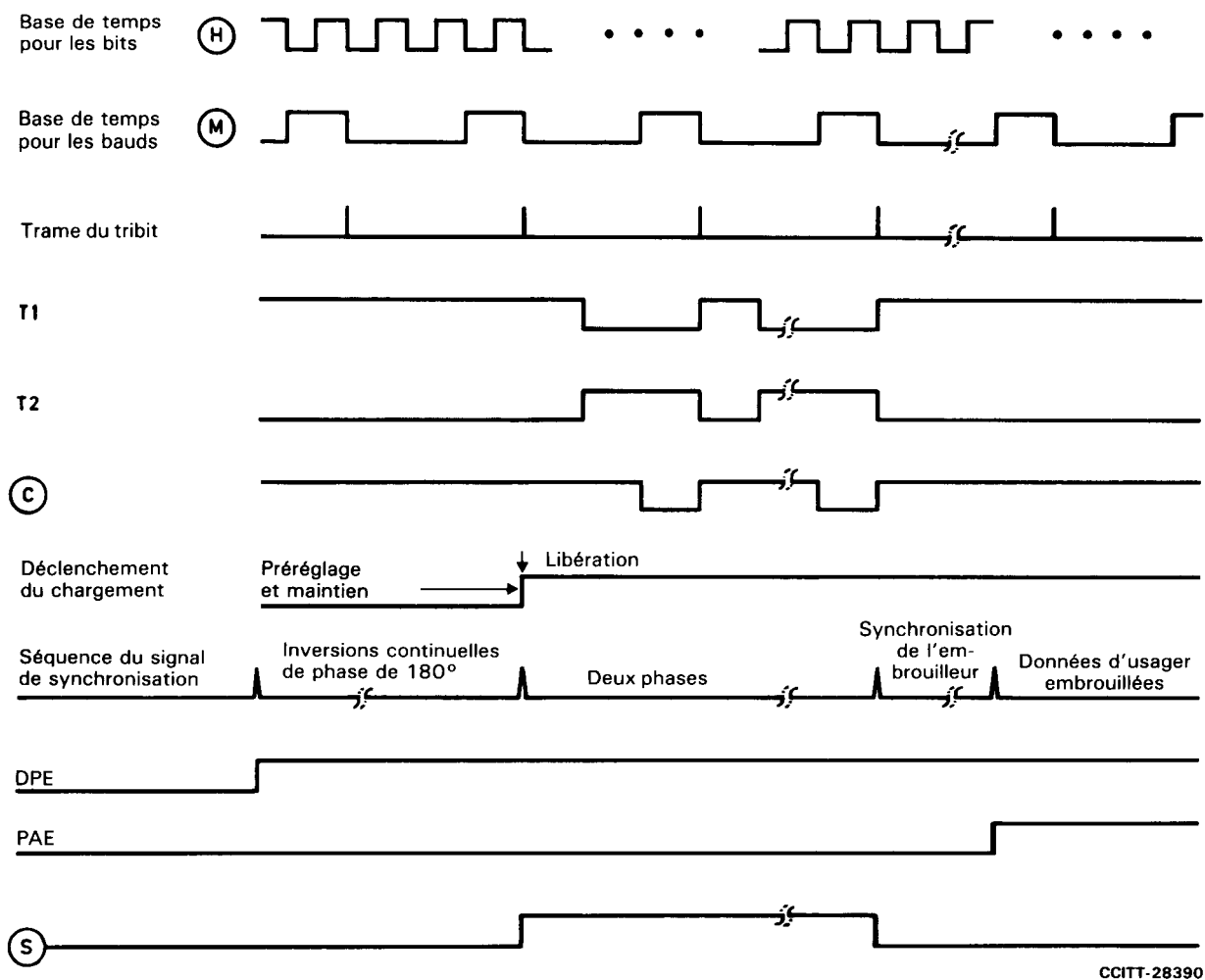


FIGURE I-3/V.27 ter

Séquence du signal de synchronisation à 4800 bit/s (voir la figure I-1/V.27 ter)