



UNIÓN INTERNACIONAL DE TELECOMUNICACIONES

**UIT-T**

SECTOR DE NORMALIZACIÓN  
DE LAS TELECOMUNICACIONES  
DE LA UIT

**V.27 *ter***

**COMUNICACIÓN DE DATOS  
POR LA RED TELEFÓNICA**

---

**MÓDEM A 4800/2400 bit/s NORMALIZADO  
PARA USO EN LA RED TELEFÓNICA  
GENERAL CON CONMUTACIÓN**

**Recomendación UIT-T V.27 *ter***

(Extracto del *Libro Azul*)

---

## NOTAS

1 La Recomendación UIT-T V.27 *ter* se publicó en el fascículo VIII.1 del Libro Azul. Este fichero es un extracto del Libro Azul. Aunque la presentación y disposición del texto son ligeramente diferentes de la versión del Libro Azul, el contenido del fichero es idéntico a la citada versión y los derechos de autor siguen siendo los mismos (Véase a continuación).

2 Por razones de concisión, el término «Administración» se utiliza en la presente Recomendación para designar a una administración de telecomunicaciones y a una empresa de explotación reconocida.

© UIT 1988, 1993

Reservados todos los derechos. No podrá reproducirse o utilizarse la presente Recomendación ni parte de la misma de cualquier forma ni por cualquier procedimiento, electrónico o mecánico, comprendidas la fotocopia y la grabación en micropelícula, sin autorización escrita de la UIT.

**MÓDEM A 4800/2400 bit/s NORMALIZADO PARA USO  
EN LA RED TELEFÓNICA GENERAL CON CONMUTACIÓN**

*(Ginebra, 1976; modificada en Ginebra, 1980  
y Málaga-Torremolinos, 1984)*

El CCITT,

*considerando*

- a) que existe una demanda para la transmisión de datos a 4800 bit/s por la red telefónica general con conmutación;
- b) que la mayoría de las conexiones de la red telefónica general con conmutación de algunos países pueden transmitir datos a 4800 bit/s;
- c) que una menor proporción de conexiones internacionales de la red telefónica general con conmutación pueden transmitir datos a 4800 bit/s;
- d) que otras conexiones internacionales de la red telefónica general con conmutación pueden ser explotadas a 2400 bit/s utilizando la facilidad incorporada de funcionamiento a velocidad reducida,

*recomienda por unanimidad*

que se autorice la transmisión a 4800 bit/s por la red telefónica general con conmutación. No puede garantizarse, en toda conexión o encaminamiento, una transmisión fiable, por lo que deben efectuarse pruebas entre los puntos terminales más probables, antes de poner a disposición un servicio. El CCITT espera que la evolución en los próximos años de la tecnología moderna conducirá a módems de diseño más avanzado, que permitan una transmisión fiable en una proporción mucho mayor de conexiones. Esta Recomendación debe considerarse como provisional, con miras a dar servicio, cuando esto se requiera urgentemente, entre puntos a los cuales se espera poder prestar un servicio satisfactorio.

que las características del módem para la transmisión a 4800 bit/s por la red telefónica general con conmutación sean provisionalmente las siguientes:

## **1 Principales características**

- a) Utilización de una velocidad binaria de 4800 bit/s con modulación de fase octovalente y codificación diferencial, como se describe en la Recomendación V.27.
- b) Posibilidad de funcionamiento a la velocidad reducida de 2400 bit/s. La modulación de fase tetraivalente con codificación diferencial, como se describe en la Recomendación V.26, solución A.
- c) Previsión de un canal de retorno para velocidades de modulación de hasta 75 baudios; la utilización de este canal será facultativa.
- d) Inclusión de un igualador de adaptación automática.

## **2 Funcionamiento con señales de línea a 4800 y 2400 bit/s**

### **2.1 Frecuencia portadora**

La frecuencia portadora será de  $1800 \pm 1$  Hz. No se prevén frecuencias piloto separadas. Se utilizarán niveles de potencia conformes con la Recomendación V.2.

### 2.1.1 Espectro a 4800 bit/s

El espectro de energía será de la forma coseno alzado con un coeficiente de caída (rolloff factor) del 50%, dividido por igual entre el receptor y el transmisor. La densidad de energía a 1000 y 2600 Hz será atenuada 3,0 dB  $\pm$  2,0 dB con respecto a la densidad máxima entre 1000 y 2600 Hz.

### 2.1.2 Espectro a 2400 bit/s

El espectro de energía mínimo será de la forma coseno alzado con un coeficiente de caída del 50%, dividido por igual entre el receptor y el transmisor. La densidad de energía a 1200 Hz y 2400 Hz será atenuada 3,0 dB  $\pm$  2,0 dB con respecto a la densidad máxima entre 1200 Hz y 2400 Hz.

### 2.2 Distribución de la potencia entre el canal de ida y el de retorno

Se recomienda la distribución por igual entre el canal de ida y el de retorno (en su caso).

### 2.3 Funcionamiento a 4800 bit/s

#### 2.3.1 Velocidad binaria y velocidad de modulación

La velocidad binaria será de 4800 bit/s  $\pm$  0,01%, es decir, que la velocidad de modulación será de 1600 baudios  $\pm$  0,01%.

#### 2.3.2 Codificación de los bits de datos

El tren de datos que ha de transmitirse se divide en grupos de tres bits consecutivos (tribits). Cada tribit se codifica como un cambio de fase con relación a la fase del elemento de señal precedente (véase el cuadro 1/V.27 ter). En el receptor, los tribits se decodifican y los bits se reagrupan en el orden correcto. El bit de la izquierda del tribit es el que aparece primero en el tren de datos que entra en la parte modulador del módem después del aleatorizador.

CUADRO 1/V.27 ter

Tribit			Cambio de fase (véase la observación)
0	0	1	0°
0	0	0	45°
0	1	0	90°
0	1	1	135°
1	1	1	180°
1	1	0	225°
1	0	0	270°
1	0	1	315°

*Observación* - El cambio de fase es el desplazamiento real de fase en línea en la región de transición que va del centro de un elemento de señal al centro del elemento de señal siguiente.

### 2.4 Funcionamiento a 2400 bit/s

#### 2.4.1 Velocidad binaria y velocidad de modulación

La velocidad binaria será de 2400 bit/s  $\pm$  0,01%, es decir, que la velocidad de modulación será de 1200 baudios  $\pm$  0,01%.

#### 2.4.2 Codificación de los bits de datos

En el funcionamiento a 2400 bit/s, el tren de datos se divide en grupos de dos bits (dibits). Cada dibit se codifica como un cambio de fase con relación a la fase del elemento de señal que le precede inmediatamente (véase el cuadro 2/V.27 ter). En el receptor, se decodifican los dibits y se reagrupan los bits en el orden correcto. El bit de la izquierda del dibit es el que aparece primero en el tren de datos que entra en la parte modulador del módem después del aleatorizador.

CUADRO 2/V.27 *ter*

Dibit	Cambio de fase (véase la observación)
00	0°
01	90°
11	180°
10	270°

*Observación* - El cambio de fase es el desplazamiento real de fase en línea en la región de transición que va del centro de un elemento de señal al centro del elemento de señal siguiente.

## 2.5 *Secuencias operativas*

### 2.5.1 *Secuencia de paso al estado CERRADO*

Durante el intervalo entre la transición del estado ABIERTO al CERRADO del circuito 105 y la transición del estado ABIERTO al CERRADO del circuito 106, el módem de transmisión generará señales de sincronismo para el acondicionamiento del módem de recepción. Estas señales están destinadas a establecer la detección de la portadora, el CAG de ser necesario, la sincronización de la temporización, la convergencia del ecualizador y la sincronización del desaleatorizador.

Las señales de sincronización se definen en dos secuencias separadas; la secuencia larga se utiliza una sola vez, al comienzo de la conexión establecida; la secuencia corta se emplea para la inversión subsiguiente, en la cual la secuencia de acondicionamiento del ecualizador sirve para actualizar y afinar la convergencia del ecualizador.

Se definen dos secuencias, a saber:

- a) una secuencia corta para la operación con inversión,
- b) una secuencia más larga para el establecimiento inicial de la conexión.

La secuencia b) sólo se utiliza después de la primera transición del estado ABIERTO al CERRADO del circuito 105, después de la transición del estado ABIERTO al CERRADO del circuito 107, o en el momento de la transición del estado ABIERTO al CERRADO del circuito 107, si el circuito 105 está ya CERRADO. Después de cada transición del estado ABIERTO al CERRADO subsiguiente del circuito 105, se utiliza la secuencia a).

Las secuencias para ambas velocidades binarias se dividen en cinco segmentos como se indica en el cuadro 3/V.27 *ter*.

2.5.1.1 El segmento 3 está constituido por inversiones continuas de fase de 180° en línea, durante 14 intervalos de símbolo en el caso de la secuencia a), y durante 50 intervalos de símbolo en el de la secuencia b).

2.5.1.2 El segmento 4 está constituido por una secuencia de acondicionamiento del ecualizador que se deriva de una secuencia pseudoaleatoria generada por el polinomio:

$$1 + x^{-6} + x^{-7}$$

Tanto para el funcionamiento a 4800 bit/s como a 2400 bit/s, la secuencia de acondicionamiento del ecualizador se deriva utilizando cada tercer bit de la secuencia pseudoaleatoria definida por el polinomio. Cuando en el esquema derivado aparece un CERO, se transmite en cambio de fase de 0°; cuando aparece un UNO, se transmite un cambio de fase de 180°. El segmento 4 comienza por la secuencia 0°, 180°, 180°, 180°, 180°, 180°, 0°, ... de acuerdo con el esquema derivado y continúa durante 58 intervalos de símbolo en el caso de la secuencia a) y 1074 intervalos de símbolo en el caso de la secuencia b). En el apéndice I se da un ejemplo detallado de la generación de esta secuencia.

2.5.1.3 En el segmento 5, la transmisión comienza de conformidad con la codificación descrita en los § 2.3 y 2.4, aplicándose una señal de datos “todos UNOS” a la entrada del aleatorizador. El segmento 5 se compone de 8 intervalos de símbolo. Al final del segmento 5, el circuito 106 pasa al estado CERRADO y se aplican datos de usuario a la entrada del aleatorizador de datos.

2.5.1.4 Las secuencias de los cambios de fase en los segmentos 4 y 5 para 4800 bit/s y 2400 bit/s se muestran en el cuadro 4/V.27 *ter*.

CUADRO 3/V.27 *ter*

	Segmento 1	Segmento 2	Segmento 3	Segmento 4	Segmento 5	Total de los segmentos 1, 2, 3, 4 y 5	
Tipo de señales de línea	Portadora no modulada	Sin transmisión de energía	Inversiones continuas de fase (180°)	Secuencia bifásica 0°-180° de acondicionamiento del ecualizador	UNOS aleatorizados continuos	Tiempo nominal total de la "secuencia de paso al estado CERRADO"	
						4800 bit/s	2400 bit/s
Protección contra el eco del orador	de 185 ms a 200 ms	de 20 ms a 25 ms	a) 14 IS b) 50 IS	a) 58 IS b) 1074 IS	8 IS	a) 265 ms b) 923 ms	a) 281 ms b) 1158 ms
Sin protección	0 ms	0 ms	a) 14 IS b) 50 IS	a) 58 IS b) 1074 IS	8 IS	a) 50 ms b) 708 ms	a) 66 ms b) 943 ms

IS = Intervalos de símbolo. La duración de los segmentos 3, 4 y 5 se expresa en intervalos de símbolo; los números correspondientes son los mismos en el funcionamiento a velocidad reducida.

CUADRO 4/V.27 *ter*<sup>a)</sup>

Velocidad binaria		Segmento 4	Segmento 5
4800 bit/s	Cambio de fase SSA <sup>b)</sup>	0° 180° 180° 180° 180° 180° 0° ... 180° 180° 0° 011 101 101 100 100 101 001 ... 110 100 010 001	270° 225° 315° 90° 45° 45° 180° 180° 100 110 101 010 000 000 111 111
2400 bit/s	Cambio de fase SSA <sup>b)</sup>	0° 180° 180° 180° 180° 180° 0° ... 180° 180° 0° 011 101 101 100 100 101 001 ... 110 100 010 001	270° 90° 270° 270° 270° 270° 0° 0° 10 01 10 10 10 10 00 00
	Duración	← 58 ó 1074 intervalos de símbolo → (Las SSA inicial y final y las secuencias de símbolos son las mismas para ambas duraciones)	← 8 intervalos de símbolo →

- a) Para una descripción de la forma en que pueden generarse las posibles secuencias para los segmentos 4 y 5, véase la observación al final del apéndice I.
- b) SSA es la secuencia seudo aleatoria definida en el § 2.5.1.2. Los bits subrayados determinan los cambios de fase.

### 2.5.2 Secuencia de paso al estado ABIERTO

La señal de línea emitida después de la transición del estado CERRADO al ABIERTO del circuito 105 se divide en dos segmentos como se indica en el cuadro 5/V.27 *ter*.

CUADRO 5/V.27 *ter*

	Segmento A	Segmento B	Duración del paso al estado CERRADO
Tipo de señales de línea	Señales de datos restantes seguidas de UNOS aleatorizados continuos	Sin transmisión de energía	Total de los segmentos A y B
Con o sin protección contra el eco del orador	de 5 ms a 10 ms	20 ms	de 25 ms a 30 ms

De producirse una transición del estado ABIERTO al CERRADO del circuito 105 durante la secuencia de paso al estado ABIERTO, no se tendrá en cuenta hasta el final de dicha secuencia.

Además, si el circuito 105 conmuta a CERRADO en el curso de la recepción del segmento A de la secuencia de paso al estado ABIERTO, la transmisión de la secuencia de paso al estado CERRADO comenzará facultativamente, dentro de un periodo de tiempo inferior a 20 ms a partir del instante en que termina la recepción del segmento A.

### 3 Tolerancia de frecuencia para la señal recibida

Habida cuenta de que la tolerancia para la frecuencia portadora del transmisor es de  $\pm 1$  Hz y suponiendo una deriva máxima de  $\pm 6$  Hz en la conexión entre los módems, el receptor debe poder admitir errores de por lo menos  $\pm 7$  Hz en las frecuencias recibidas.

### 4 Canal de retorno

La velocidad de modulación, las características de frecuencia, las tolerancias, etc. serán las indicadas en la Recomendación V.23. Ello no excluye la utilización de un canal de retorno de mayor velocidad que pueda funcionar a 75 baudios o más y que tenga las mismas frecuencias características que el canal de retorno de la Recomendación V.23.

### 5 Circuitos de enlace

#### 5.1 *Lista de los circuitos de enlace*

Los circuitos de enlace esenciales del módem cuando éste se utiliza en la red telefónica general con conmutación, incluidos terminales equipados para llamada manual, o llamada o respuesta automáticas, son los indicados en el cuadro 6/V.27 *ter*.

#### 5.2 *Tiempos de respuesta de los circuitos 106, 109, 121 y 122 (véanse los cuadros 7/V.27 *ter* y 8/V.27 *ter*)*

##### 5.2.1 *Circuito 109*

El circuito 109 pasará al estado CERRADO una vez completada la sincronización y antes de que aparezcan datos de usuario en el circuito 104. Cuando se utilice la protección facultativa contra el eco del orador, el circuito 109 no podrá pasar al estado CERRADO mientras esté recibiendo la portadora no modulada.

CUADRO 6/V.27 ter

Circuito de enlace		Canal de ida (datos) sistema unidireccional (véase la observación 1)				Canal de ida (datos) sistema bidireccional (véase la observación 1)	
N.º	Denominación	Sin canal de retorno		Con canal de retorno		Sin canal de retorno	Con canal de retorno
		Extremo transmisor	Externo receptor	Externo transmisor	Externo receptor		
102	Tierra de señalización o retorno común	X	X	X	X	X	X
103	Transmisión de datos	X		X		X	X
104	Recepción de datos		X		X	X	X
105	Petición de datos	X		X		X	X
106	Preparado para transmitir	X		X		X	X
107 108/1 o	Aparato de datos preparado Conecte el aparato de datos a la línea	X	X	X	X	X	X
108/2 (véase la observación 2)	Terminal de datos preparado	X	X	X	X	X	X
109	Detector de señales de línea recibidas por el canal de datos		X		X	X	X
111	Selector de velocidad binaria (origen ETD)	X	X	X	X	X	X
113	Temporización para los elementos de señal en la transmisión (origen ETD)	X		X		X	X
114	Temporización para los elementos de señal en la transmisión (origen ETCD)	X		X		X	X
115	Temporización para los elementos de señal en la recepción (origen ETCD)		X		X	X	X
118	Transmisión de datos por el canal de retorno				X		X
119	Recepción de datos por el canal de retorno			X			X
120	Transmita señales de línea por el canal de retorno						X
121	Canal de retorno preparado				X		X
122	Detector de señales de línea recibidas por el canal de retorno			X			X
125	Indicador de llamada	X	X	X	X	X	X

*Observación 1* - Todos los circuitos de enlace esenciales y cualesquiera otros que se hayan previsto deberán satisfacer las condiciones funcionales y operacionales de la Recomendación V.24. Todos los circuitos de enlace marcados con una X deberán estar debidamente terminados en el equipo terminal de datos y en el equipo de terminación del circuito de datos de conformidad con la Recomendación pertinente sobre las características eléctricas (véase el § 6).

*Observación 2* - Este circuito debe poder funcionar como circuito 108/1 - *Conecte el aparato de datos a la línea*, o como circuito 108/2 - *Terminal de datos preparado*, según las condiciones de utilización.



CUADRO 7/V.27 ter

Tiempos de respuesta para el funcionamiento a 4800 bit/s		
<i>Circuito 106</i>	Con protección contra el eco del orador	Sin protección contra el eco del orador
de ABIERTO a CERRADO	a) $215 \pm 10$ ms + 50 ms b) $215 \pm 10$ ms + 708 ms	a) 50 ms b) 708 ms
DE CERRADO a ABIERTO	$\leq 2$ ms	$\leq 2$ ms
<i>Circuito 109</i>		
de ABIERTO a CERRADO	Véase el § 5.2.1	Véase el § 5.2.1
de CERRADO a ABIERTO	de 5 a 15 ms	de 5 a 15 ms
<i>Circuito 121</i>		
de ABIERTO a CERRADO	de 80 a 160 ms	de 80 a 160 ms
de CERRADO a ABIERTO	$\leq 2$ ms	$\leq 2$ ms
<i>Circuito 122</i>		
de ABIERTO a CERRADO	< 80 ms	< 80 ms
de CERRADO a ABIERTO	de 15 a 80 ms	de 15 a 80 ms

CUADRO 8/V.27 ter

Tiempos de respuesta para el funcionamiento a 2400 bit/s		
<i>Circuito 106</i>	Con protección contra el eco del orador	Sin protección contra el eco del orador
de ABIERTO a CERRADO	a) $215 \pm 10$ ms + 67 ms b) $215 \pm 10$ ms + 944 ms	a) 67 ms b) 944 ms
de CERRADO a ABIERTO	$\leq 2$ ms	$\leq 2$ ms
<i>Circuito 109</i>		
de ABIERTO a CERRADO	Véase el § 5.2.1	Véase el § 5.2.1
de CERRADO a ABIERTO	de 5 a 15 ms	de 5 a 15 ms

*Observación 1* – a) y b) se refieren a las secuencias a) y b) definidas en el § 2.5.1.

*Observación 2* – Los parámetros y procedimientos mencionados, particularmente en el caso de llamada y respuesta automáticas, son provisionales y están sujetos a ulterior estudio.

### 5.2.2 Circuito 106

Los tiempos de respuesta del circuito 106 son los comprendidos entre el instante en que se produce un paso al estado CERRADO o al estado ABIERTO en:

- el circuito 105, y aquel en que aparece el correspondiente estado CERRADO o ABIERTO en el circuito 106, o
- el circuito 107 (cuando el circuito 105 está ya en estado CERRADO) y el instante en que aparece el correspondiente estado CERRADO o ABIERTO en el circuito 106.

### 5.3 Umbral de los detectores de señales de línea recibidas por el canal de datos y por el canal de retorno

Nivel de la señal de línea recibida en los terminales de línea de recepción del módem, para todos los tipos de conexión, es decir red telefónica general con conmutación o circuitos telefónicos a dos hilos arrendados, sin conmutación:

- superior a  $-43$  dBm: circuitos 109/122 en estado CERRADO;
- inferior a  $-48$  dBm: circuitos 109/122 en estado ABIERTO.

No se especifica el estado de los circuitos 109 y 122 para niveles comprendidos entre  $-43$  dBm y  $-48$  dBm, pero los detectores de señales presentarán un efecto de histéresis tal que el nivel correspondiente a la transición del estado ABIERTO al CERRADO sea por lo menos 2 dB superior al nivel correspondiente a la transición del estado CERRADO al ABIERTO.

Cuando se conozcan y se tengan en cuenta las condiciones de transmisión, puede ser conveniente, al instalar el módem, cambiar estos niveles de respuesta del detector de señales de línea recibidas por valores inferiores de sensibilidad (por ejemplo,  $-33$  dBm y  $-38$  dBm respectivamente).

### 5.4 Fijación en el modo semidúplex

El ETCD, explotado en el modo semidúplex en una línea a dos hilos, deberá mantener, si existen:

- a) el circuito 104 en el estado 1 binario y el circuito 109 en el estado ABIERTO cuando el circuito 105 está en estado CERRADO y, cuando sea necesario para proteger el circuito 104 contra falsas señales, durante un intervalo de  $150 \pm 25$  ms siguiente a la transición del estado CERRADO al ABIERTO en el circuito 105. La utilización de este retardo adicional es facultativa, basado en consideraciones del sistema;
- b) el circuito 119 en el estado 1 binario y el circuito 122 en estado ABIERTO, cuando el circuito 120 está en el estado CERRADO y, cuando sea necesario para proteger al circuito 119 contra falsas señales, durante un corto intervalo siguiente a la transición del estado CERRADO al ABIERTO en el circuito 120. La duración específica de este intervalo de tiempo se estudiará ulteriormente. El retardo adicional es facultativo, basado en consideraciones del sistema.

### 5.5 Condiciones de avería en los circuitos de enlace

(Véase el § 7 de la Recomendación V.28 en lo que respecta a la asociación en los tipos de detección de averías del receptor.)

5.5.1 El ETD interpretará una condición de avería en el circuito 107 como un estado ABIERTO utilizando el tipo 1 de detección de avería.

5.5.2 El ETCD interpretará una condición de avería en los circuitos 105 y 108 como un estado ABIERTO utilizando el tipo 1 de detección de avería.

5.5.3 Todos los demás circuitos a los que no se hace referencia en los apartados precedentes podrán utilizar los tipos 0 ó 1 de detección de avería.

## 6 Características eléctricas de los circuitos de enlace

Se aconseja el uso de características eléctricas conformes a la Recomendación V.28 junto con el conector y el plan de asignación de patillas especificados en la norma ISO 2110.

*Observación* – A los fabricantes quizá les interese saber que el objetivo a largo plazo consiste en sustituir las características eléctricas especificadas en la Recomendación V.28, y que la Comisión de Estudio XVII ha convenido en que debe proseguir el trabajo con el objeto de desarrollar un interfaz más eficaz y completamente equilibrado para

aplicación con equipos diseñados conforme a las Recomendaciones de la serie V, que reduzca al mínimo el número de circuitos de enlace.

## 7 Temporización

El módem debe incluir relojes que proporcionen al equipo terminal de datos la temporización para los elementos de señal en la transmisión, circuito 114, y la temporización para los elementos de señal en la recepción, circuito 115. La temporización para los elementos de señal en la transmisión puede generarse en el equipo terminal de datos y transferirse al módem a través del circuito 113.

## 8 Ecuador

Se preverá un ecualizador de adaptación automática que se instalará en el receptor.

## 9 Aleatorizador

Este módem deberá incluir un aleatorizador/desaleatorizador de sincronización automática con el polinomio generador:

$$1 + x^{-6} + x^{-7}$$

y protecciones adicionales contra los esquemas repetitivos de 1, 2, 3, 4, 6, 8, 9 y 12 bits. La figura I-2/V.27 *ter* muestra una disposición lógica apropiada (véase la observación). El aleatorizador/desaleatorizador es el mismo que el de la Recomendación V.27, con circuitos adicionales para detectar los esquemas repetitivos de 8 bits.

*Observación* – Las figuras I-1/V.27 *ter* y I-2/V.27 *ter* se incluyen únicamente a título de indicación, ya que, con otra técnica, esta disposición lógica puede tomar una forma diferente.

En el transmisor, el aleatorizador dividirá el polinomio del mensaje, cuyos coeficientes en sentido descendente están representados por la secuencia de datos de entrada, por el polinomio generador del aleatorizador, generándose así la secuencia transmitida; en el receptor, el polinomio recibido, cuyos coeficientes en sentido descendente están representados por la secuencia de datos recibidos, se multiplicará por el polinomio generador del aleatorizador, reconstituyéndose así la secuencia del mensaje.

10 Cuando es necesario neutralizar los dispositivos de protección contra el eco, se recomienda seguir el procedimiento especificado en la Recomendación V.25.

11 La siguiente información está destinada a los fabricantes de equipo:

El módem de datos no debe tener ajustes del nivel de transmisión o de la sensibilidad de recepción accesibles al operador.

En el funcionamiento a 4800 bit/s, el espectro de energía del transmisor tendrá una forma tal que, cuando se aplique a la entrada del aleatorizador una señal de datos “todos UNOS”, el espectro transmitido resultante tenga una característica de fase esencialmente lineal en la banda de 1100 a 2500 Hz.

En el funcionamiento a 2400 bit/s, el espectro de energía del transmisor tendrá una forma tal que, cuando se aplique a la entrada del aleatorizador una señal de datos “todos UNOS”, el espectro transmitido resultante tenga una característica de fase esencialmente lineal en la banda de 1300 a 2300 Hz.

## APÉNDICE I

(a la Recomendación V.27 *ter*)

### Generador de una secuencia de acondicionamiento del ecualizador de dos fases a 4800 bit/s

Para la rápida convergencia del ecualizador con el mínimo cableado posible, se transmite sólo la portadora en fase o fuera de fase durante el acondicionamiento. Ello implica que los únicos tribits enviados al modulador serán 001 (fase 0°) o 111 (fase 180°). Véase la figura I-1/V.27 *ter* para los circuitos que generan la secuencia y la figura I-3/V.27 *ter* para la temporización de la secuencia.

Sea T1 una señal de temporización de 1600 Hz (reloj para los símbolos), cuya amplitud de valor superior dura un periodo de 4800 Hz y cuya amplitud de valor inferior dura dos periodos de señal de reloj de 4800 Hz. T2 es la señal T1 invertida.

Durante T1, se elige la entrada al aleatorizador; durante T2 se elige el primer paso del aleatorizador; durante el periodo en que T2 presenta el valor elevado, C mantiene la salida a nivel elevado. Esto puede realizarse mediante circuitos similares a los mostrados en la figura I-2/V.27 *ter*.

Si T1 se mantiene continuamente a nivel elevado y T2 continuamente a nivel bajo, se restablece el funcionamiento normal.

Para asegurar un acondicionamiento consecuente, debe transmitirse siempre el mismo esquema. Para ello, la entrada de datos del aleatorizador debe mantenerse en estado reposo durante el acondicionamiento y los primeros siete pasos del aleatorizador deben cargarse con 0011110 (el bit de la derecha es el primero en el tiempo) a la primera coincidencia de T1 con la señal que suprime el periodo de silencio a la salida del transmisor [generalmente esta señal será la de *petición de transmitir* (PDT)].

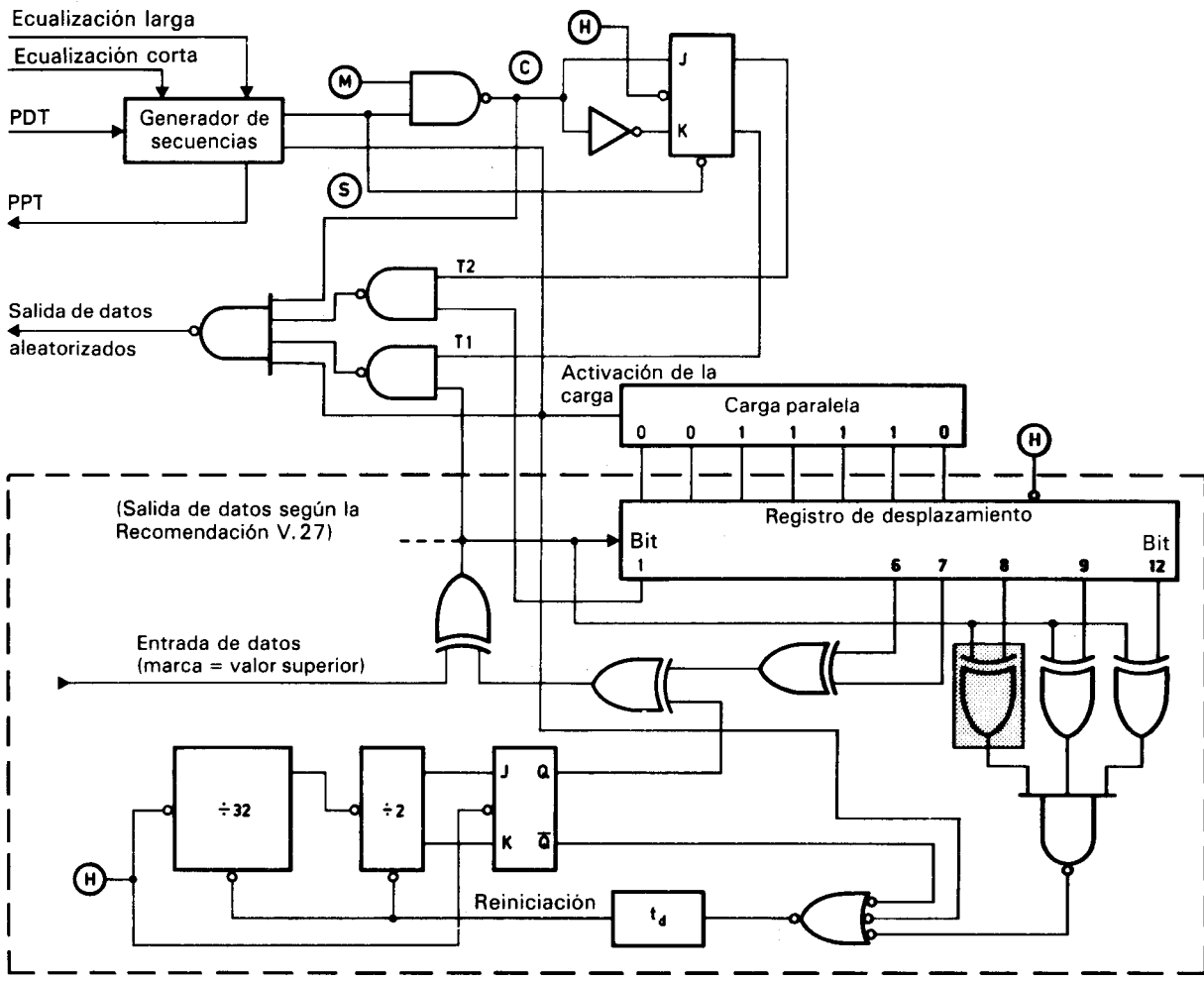
Se eligió este punto específico de partida para asegurar una secuencia con inversiones continuas de fase de 180° al principio, lo que garantiza el rápido establecimiento del sincronismo, seguido de una secuencia que asegure la rápida convergencia del equalizador.

Durante ocho intervalos de símbolo antes del estado CERRADO del circuito *preparado para transmitir* (PPT), el aleatorizador debe pasar al funcionamiento normal, manteniéndose el estado reposo hasta que se produzca la señal PPT, a fin de sincronizar el desaleatorizador.

*Observación* – En el funcionamiento a 2400 bit/s puede emplearse una técnica similar, con los correspondientes cambios en la temporización, que se indican en el cuadro I-1/V.27 *ter*.

CUADRO I-1/V.27 *ter*

	Segmento 4	Segmento 5
Reloj <sup>(H)</sup>	3600 Hz	2400 Hz
Reloj <sup>(M)</sup>	1200 Hz	1200 Hz

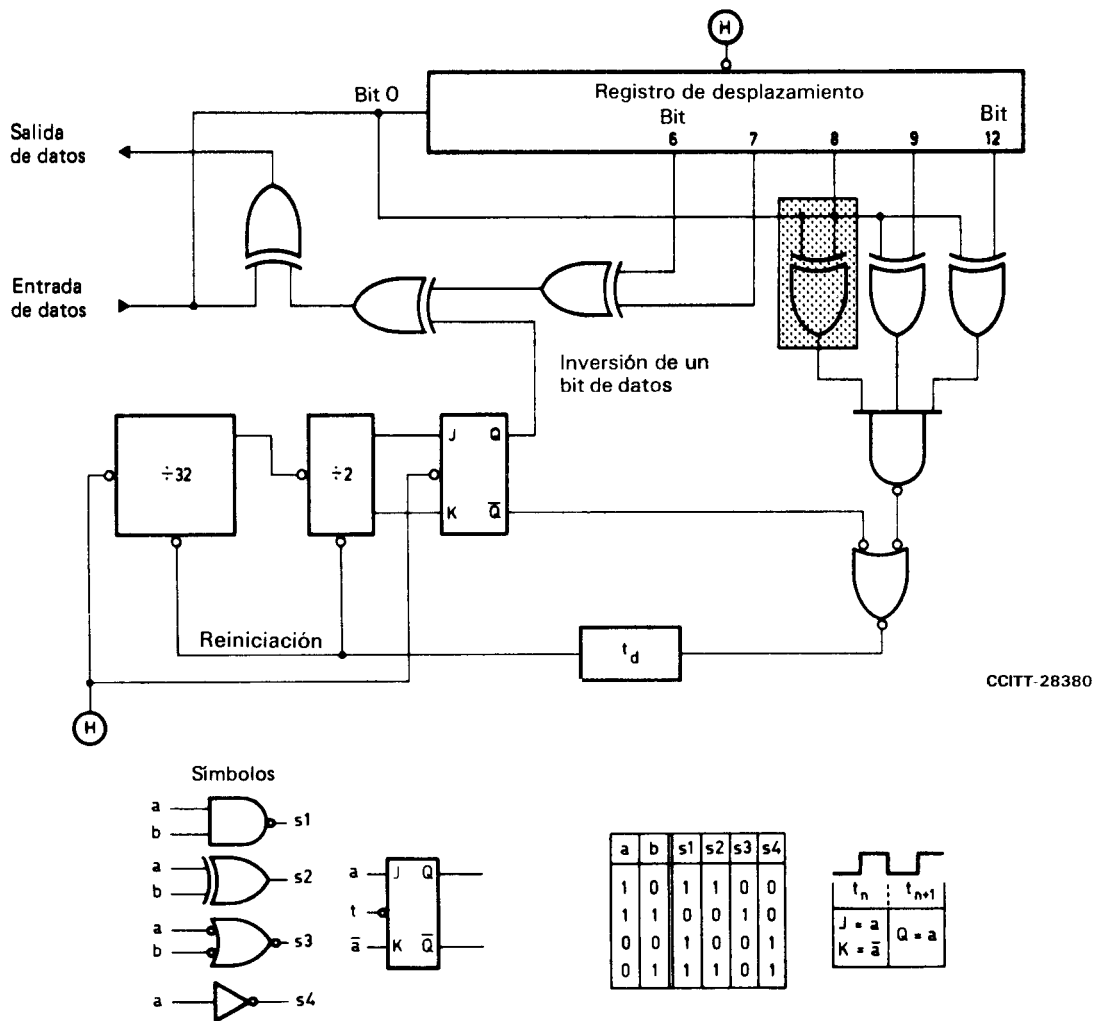


CCITT-26745

- Observación 1 - La línea de trazo discontinuo comprende el aleatorizador de la Recomendación V.27.
- Observación 2 - La parte sombreada sirve para la protección contra esquemas repetitivos de 8 bits.
- Observación 3 - (H) = reloj que controla una velocidad de modulación triple de la normal.
- Observación 4 - (M) = reloj (1600 Hz) que controla la velocidad de modulación nominal.
- Observación 5 - Los diagramas se muestran con lógica positiva.
- Observación 6 - Las señales (C) y (S) únicamente se indican en relación con la figura I-3/V.27 ter.

FIGURA I-1/V.27 ter

Ejemplo de esquema de generador de secuencia y de aleatorizador a 4800 bit/s



*Observación 1* – La parte sombreada está destinada a la protección contra esquemas repetitivos de 8 bits.

*Observación 2* –  $\textcircled{H}$  es una señal de reloj. La transición en sentido negativo es la activa.

*Observación 3* – Debido a la existencia de circuitos físicos, hay un retardo entre una transición de  $\textcircled{H}$  en sentido negativo y el fin del estado «0» representado por  $t_d$  en el circuito de «no reiniciación»; en consecuencia, el contador no tiene en cuenta la primera coincidencia del bit 0 con el bit 8 o el bit 9 o el bit 12.

FIGURA I-2/V.27ter

**Ejemplo de esquema de desaleatorizador**

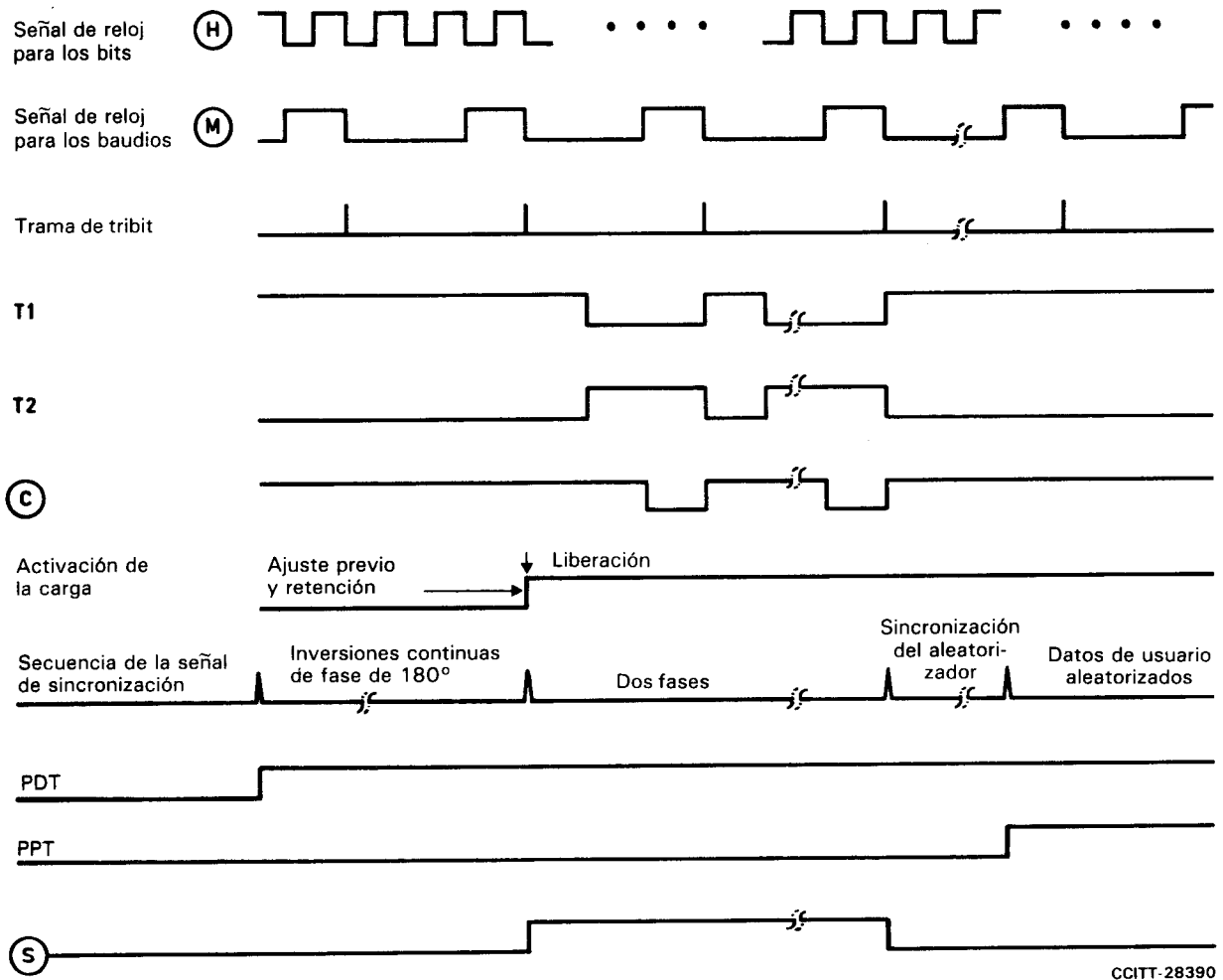


FIGURA I-3/V.27 ter

Secuencia de la señal de sincronización para 4800 bit/s (véase la figura I-1/V.27 ter)